

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09034783 A**

(43) Date of publication of application: **07.02.97**

(51) Int. Cl. **G06F 12/08**  
**G06F 12/08**  
**G06T 1/60**

(21) Application number: **07178628**

(22) Date of filing: **14.07.95**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor: **YAMAZAKI AKIRA**  
**DOSAKA KATSUMI**

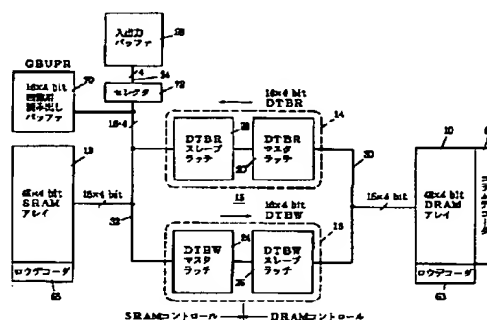
(54) **SEMICONDUCTOR MEMORY DEVICE**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor memory device for the use of multi-media with which efficient cache for image data and CUP cache with a high hit rate can be provided.

**SOLUTION:** This semiconductor memory device is provided with a DRAM (dynamic RAM) array 10, SRAM (static RAM) array 12, DTBW 16 (write data transfer buffer) for transferring data from the SRAM array to the DRAM array, and DTBR (read data transfer buffer) 14 for transferring data from the SRAM array to the DRAM array. These DTBR and DTBW can be accessed through an input / output buffer 28. This semiconductor memory device is further provided with a read buffer 70 for image for storing only data for image. This read buffer 70 for image outputs its stored data through the input / output buffer 28 to the device outside, receives and stores image data from the DRAM array through the DTBR 14. The cache for image data in the optimum size can be provided.

COPYRIGHT: (C)1997,JPO

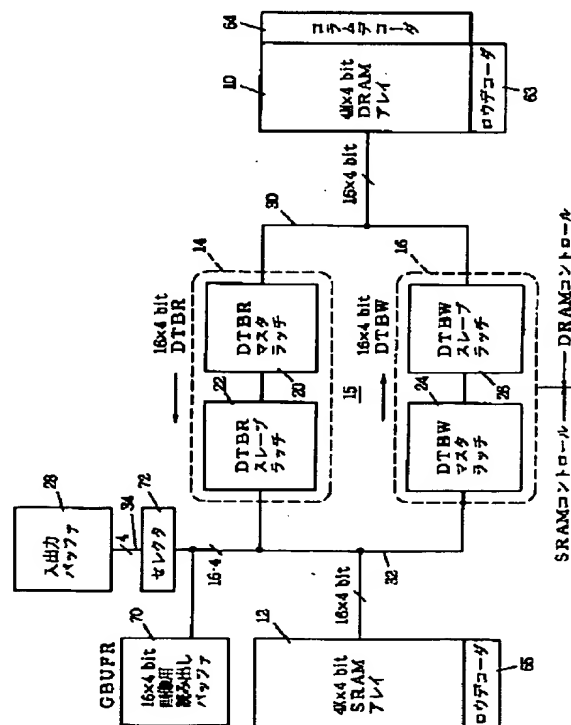


(11)特許出願公開番号

(43)公開日 平成9年(1997)2月7日

審査請求 未請求 請求項の数 9 O L (全 30 頁)

(54)【発明の名称】半導体記憶装置



## 【特許請求の範囲】

【請求項 1】 複数のメモリセルを有する第 1 のメモリアレイ、

複数のメモリセルを有する第 2 のメモリアレイ、

データ格納手段を含み、前記第 1 および第 2 のメモリアレイの間に設けられかつ前記第 1 および第 2 のメモリアレイの間のデータ転送を行なうためのデータ転送手段、前記第 1 のメモリアレイとデータの授受を行なう、特定の処理に用いられるデータを記憶する記憶手段、および前記データ転送手段、前記第 2 のメモリアレイおよび前記記憶手段に選択的に結合され、装置外部とデータ入出力を行なうための入出力回路を備える、半導体記憶装置。

【請求項 2】 前記記憶手段は、

前記第 1 のメモリアレイから前記データ転送手段を介して与えられるデータを記憶し、該記憶データを前記入出力回路を介して装置外部へ出力する読出データ記憶手段を備える、請求項 1 記載の半導体記憶装置。

【請求項 3】 前記記憶手段は、

前記入出力回路を介して装置外部から与えられるデータを格納し、該格納データを前記データ転送手段を介して前記第 1 のメモリアレイへ伝達する書込データ記憶手段を備える、請求項 1 または 2 記載の半導体記憶装置。

【請求項 4】 前記記憶手段は、前記データ転送手段と並列に設けられ、前記入出力回路から与えられたデータを格納しかつ該格納したデータを前記第 1 のメモリアレイへ転送する記憶／転送手段を備える、請求項 1 記載の半導体記憶装置。

【請求項 5】 前記記憶手段は、

前記データ転送手段と並列に前記第 1 のメモリアレイに結合され、前記第 1 のメモリアレイからのデータを受けて格納し、かつ該格納データを前記入出力回路を介して装置外部へ出力する記憶／転送手段を備える、請求項 1 記載の半導体記憶装置。

【請求項 6】 前記データ転送手段は、

前記第 1 のメモリアレイから転送されたデータを受けて格納するマスタラッチ手段と、

前記マスタラッチ手段のラッチデータを受けるスレーブラッチ手段とを備え、前記スレーブラッチ手段は、受けて格納したデータを前記第 2 のメモリアレイへ転送しかつ前記入出力回路へ選択的に伝達する手段を含み、

前記記憶手段は、

前記マスタラッチ手段と前記入出力回路との間に前記スレーブラッチ手段と並列に設けられ、前記マスタラッチ手段からのデータを受けて格納しかつ該格納データを前記入出力回路へ選択的に伝達する手段を含む、請求項 1 記載の半導体記憶装置。

【請求項 7】 前記データ転送手段は、

前記第 2 のメモリアレイおよび前記入出力回路から選択的に与えられるデータを受けて格納するマスタラッチ手

段と、

前記マスタラッチ手段の格納データを受けて前記第 1 のメモリアレイへ転送するためのスレーブラッチ手段とを含み、

前記記憶手段は、

前記入出力回路からのデータを格納しかつ該格納データを前記スレーブラッチ手段を介して前記第 1 のメモリアレイへ転送する前記マスタラッチ手段と並列に設けられる手段を備える、請求項 1 記載の半導体記憶装置。

【請求項 8】 前記データ転送手段は、複数ビットのデータを前記第 1 および第 2 のメモリアレイの間に同時に転送する手段を含み、

前記記憶手段は、

前記複数ビットのデータを記憶する容量を備える、請求項 1 ないし 7 のいずれかに記載の半導体記憶装置。

【請求項 9】 前記特定の処理は画像データ処理であり、

前記記憶手段は、画像表示装置の表示画面上の 1 走査線上の画素データを格納する記憶容量を備える、請求項 1 ないし 7 のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体記憶装置に関し、特に、大記憶容量のメモリと高速のメモリとが同一半導体基板上に集積化された半導体記憶装置に関する。より特定のには、この発明は画像データ処理用途に適した半導体記憶装置の構成に関する。

【0002】

【従来の技術】 近年、文字情報、音声情報および動画情報等の異なるメディア情報を同一プラットフォーム上で処理を行なうマルチメディアシステムが構築されつつある。このようなシステムにおいては、特に動画が有する膨大な量の画像データを高速に処理する必要がある、一般に、以下に示すような構成が用いられる。

【0003】 図 22 は、従来の画像処理システムの構成を概略的に示す図である。図 22 において、画像処理システムは、データに対し必要な演算処理を行なう中央演算処理装置 (CPU) 1 と、画像データの処理および画像表示装置上へのこの画像データの表示を行なうグラフィックエンジン 2 とを含む。グラフィックエンジン 2 は、中央演算処理装置 1 と異なり、画像データの処理のみを行ない、一方、中央演算処理装置 1 は、画像データの処理および命令の実行、およびシステム全体の動作制御などを実行する。

【0004】 画像処理システムは、さらに、中央演算処理装置 1 およびグラフィックエンジン 2 に対するキャッシュメモリとして用いられるスタティック・ランダム・アクセス・メモリ (SRAM) 3 と、このシステムの主記憶として用いられるダイナミック・ランダム・アクセス・メモリ (DRAM) 4 と、グラフィックエンジン 2

に結合され、画像データのバッファメモリとして用いられるビデオメモリ (VRAM) 5 を含む。中央演算処理装置 1、グラフィックエンジン 2、SRAM 3 および DRAM 4 は、共通データバス 6 を介して相互接続される。

【0005】中央演算処理装置 1 は、通常は SRAM 3 へアクセスし、この SRAM 3 に、必要とされるアドレスのメモセルのデータが存在しない場合には、DRAM 4 へアクセスする。グラフィックエンジン 2 は、DRAM 4 へアクセスし、必要なデータをビデオメモリ 5 に格納し、必要な処理を行なった後、再びこのビデオメモリ 5 へデータを書込む。画像表示装置への表示では、このビデオメモリ 5 に格納されたデータを順次画像表示装置 (図示せず) へ与える。

【0006】上述のような処理システムにおいては、処理用途に応じて複数種類のメモリが用いられる。このため、用いられるメモリの数が多くなり、システムコストの上昇および実装密度の低下が生じ、小型かつ低価格の処理システムを構築することができないという問題が生じる。

【0007】また、DRAM は、プロセス微細化技術の発展に伴って、その集積度は 3 年あたり 4 倍の割合で増加しており、近い将来メインメモリを 1 チップで構成できるようになる。たとえば、64M ビット DRAM であれば、8M ワード・8 ビットの記憶容量を 1 チップのメモリを用いて実現することができる。メインメモリを 1 チップで構成できれば、このメインメモリのためのコストおよび占有面積を低下することができるにもかかわらず、複数種類のメモリを用いる必要があれば、コスト低減および実装密度増加を十分に実現することができなくなる。このような状況は既にパーソナルコンピュータなどの比較的小記憶容量のメインメモリを利用するシステムにおいて生じている。

【0008】図 23 は、従来の改良された処理システムの構成を概略的に示す図である。図 23 に示す構成においては、CPU 1 およびグラフィックエンジン 2 が、共通データバス 6 を介して高速 DRAM 7 に接続される。この高速 DRAM 7 は、CPU 1 が利用するプログラムデータとグラフィックエンジン 2 が利用する画像データとを記憶する。

【0009】図 24 は、図 23 に示すデータ処理システムの動作を示すタイミングチャート図である。図 24 に示すように、CPU 1 およびグラフィックエンジン 2 が、高速 DRAM 7 に対し、たとえばシステムクロックであるメインクロックの各サイリスタごとに交互にアクセスする。すなわち、図示しないインタフェース回路を介して、CPU 1 およびグラフィックエンジン 2 が高速 DRAM 7 に対し時分的にアクセスする。この図 23 に示す構成を利用すれば、1 チップの高速 DRAM 7 を用いて 3 種類 (図 22 の SRAM 3、DRAM 4 および

VRAM 5) の異なるメモリの機能を実現することができる。これにより、システムの実装密度を高くすることができ、またコストも低減することができる。

【0010】上述のような機能を実現するのに適した高速 DRAM としては、大記憶容量 DRAM と高速 SRAM とが同一チップ上に集積化されたキャッシュ DRAM (CDRAM) が知られている。キャッシュ DRAM (CDRAM) は、高速 SRAM が集積化されているため、高速ランダムアクセスを実現することができる。したがって、CPU 1 が要求するプログラムデータとグラフィックエンジンが要求する画像データとを時分割でアクセスする構成としても、メインクロック周波数を高くすることにより、必要とされる速度でこれらのデータをアクセスすることができ、システム性能はほとんど低下しない。

【0011】図 25 は、従来の CDRAM の全体の構成を概念的に示す図である。図 25 において、従来の CDRAM は、4M・4 ビットの記憶容量を備える DRAM アレイ 10 と、4K・4 ビットの記憶容量を備える SRAM アレイ 12 と、DRAM アレイ 10 から SRAM アレイ 12 へ、16・4 ビットのデータを同時に転送するための読出データ転送バッファ (DTBR) 14 と、SRAM アレイ 12 から DRAM アレイ 10 へ、16・4 ビットのデータを並列に転送する書込データ転送バッファ (DTBW) 16 を含む。

【0012】DTBR 14 は、DRAM アレイ 10 から DRAM データバス 30 を介して与えられる 16・4 ビットのデータを格納するマスタラッチ 20 と、このマスタラッチ 20 に格納されたデータを SRAM データバス 32 へ伝達するスレーブラッチ 22 を含む。DTBW 16 は、SRAM データバス 32 からのデータを格納するマスタラッチ 24 と、このマスタラッチ 24 に格納されたデータを受けて DRAM データバス 30 へ伝達するスレーブラッチ 26 を含む。SRAM データバス 32 は、図示しないデコーダ回路を介して 4 ビット幅の入出力データバス 34 に接続される。この入出力データバス 34 は、入出力バッファ 28 に接続される。

【0013】後に詳細に説明するように、入出力バッファ 28 は、DTBR 14、DTBR 16 および SRAM アレイ 12 とデータの授受を行なうことができる。

【0014】DRAM アレイ 10 と SRAM アレイ 12 とは互いに独立にアドレス指定が可能である。DRAM アレイ 10 の任意の位置のメモセルのデータが DRAM データバス 30 上へ伝達される。したがって、SRAM アレイ 12 へ DRAM アレイ 10 の任意の位置のデータを転送することができる。データ転送時においては、16・4 ビットの容量を備える DTBR 14 および DTBW 16 を用いて転送データを一度に転送することができ、高速データ転送が可能となる。SRAM アレイ 12 をキャッシュメモリとして利用する場合、キャッシュミ

ス時に一度にキャッシュブロックのデータをDRAMアレイ10からSRAMアレイ12へ転送することができ、外部処理装置の待ち時間を低減することができる。

【0015】図26は、図25に示すDTBRおよびDTBWの1ビットの部分の構成を示すブロック図である。図26において、DTBR14は、1ビットのDRAMデータバスを構成するグローバルI/O線GI/OおよびZGI/O上のデータをプリアンプイネーブル信号DPAEに応答して増幅するプリアンプ43と、プリアンプ43で増幅されたデータをラッチするマスタラッチ回路20aと、マスタラッチ回路20aのラッチデータを、転送指示信号DRTEに応答してスレーブラッチ回路22aへ転送する転送ゲート44を含む。

【0016】DTBR16は、転送データをラッチするマスタラッチ回路24aと、転送指示信号DWTEに応答して、このマスタラッチ回路24aのラッチデータをスレーブラッチ回路26aへ転送する転送ゲート41と、スレーブラッチ回路26aのラッチデータを、プリアンプイネーブル信号DWDEに応答して増幅し、グローバルI/O線GI/OおよびZGI/Oへ伝達するプリアンプ42を含む。グローバルI/O線GI/OおよびZGI/Oは互いに相補なデータ信号を転送し、1ビットDRAMデータバス30aを構成する。

【0017】入出力バッファ28は、データ入出力端子へ与えられる1ビットデータDQを、書込指示信号Wに응答して増幅して内部書込データを生成する入力バッファ61と、読出指示信号Rに응答して活性化され、与えられたデータを増幅して、読出データを生成するメインアンプ62を含む。

【0018】DTBR14およびDTBW16ならびにSRAMアレイを入出力バッファ28へ選択的に結合するために、書込デコード信号SYWに응答して活性化され、入力バッファ61から与えられたデータを増幅して、SRAMビット線SBLおよびZSBLへ伝達するライトドライブ51と、書込デコード信号BYWに응答して、入力バッファ61から与えられたデータをマスタラッチ回路24aへ伝達するデコーダ52と、転送指示信号BWTEに응答して活性化され、SRAMビット線SBLおよびZSBL上のデータを増幅してマスタラッチ回路24aへ伝達するドライブ53と、転送指示信号BRTEに응答して活性化され、スレーブラッチ回路22aのラッチデータをSRAMビット線SBLおよびZSBLへ伝達するドライブ54と、アクセス選択信号SELに응答して、ドライブ54およびスレーブラッチ回路22aおよびSRAMビット線SBLおよびZSBL上のデータのいずれかを選択するセレクト55と、読出デコード信号RYWに응答して活性化され、セレクト55の選択する信号を増幅してメインアンプ52へ伝達するデコーダ56を含む。ドライブ53および54は各々DTBW16aおよびDTBR14aに含まれる様に示

される。

【0019】SRAMビット線SBLおよびZSBLは、互いに相補なSRAMデータを伝達する信号線であり、1ビットSRAMデータバス32aを構成する。デコード信号BYW、SYW、およびRYWは、16ビットのデータのうち1ビットのデータを選択する。入出力バッファ28aは、1ビットのデータの入出力を行ない、この入出力バッファ28aが4つ並列に設けられて、4ビットのデータが入出力される。ライトドライブ51により、SRAMデータバス32aへ入力バッファ51からデータを書込むことができる。デコーダ52により、入力バッファ51からのデータをDTBW16へ書込むことができる。ドライブ53により、SRAMデータバス32aとDRAMデータバス30aの間でデータ転送を行なうことができる。ドライブ54により、DRAMデータバス30aとSRAMデータバス32aの間でデータ転送を行なうことができる。セレクト55により、SRAMデータバス32aおよびDTBR16のいずれかのデータを選択して入出力バッファ28へ与えることができる。

【0020】また、データ転送バッファDTBRおよびDTBWを、ともに、マスタラッチおよびスレーブラッチの構成とすることにより、SRAMアレイからDRAMアレイへのデータ転送と並行してDRAMアレイからSRAMアレイへデータを転送することができ、SRAMをキャッシュメモリとして利用する場合のキャッシュミス時におけるコピーバックを高速で行なうことができる。

【0021】

【発明が解決しようとする課題】上述のように、CDRAMは、高速SRAMが集積化されているため、プログラムデータ(CPUデータ)および画像データ(グラフィックデータ)を時分割態様でアクセスしても高速アクセスが可能のため、所望の速度で必要なデータを得ることができ、システム性能の低下はほとんど生じない。

【0022】CDRAMに画像データをキャッシングする場合、(i)SRAMアレイを利用するおよび(ii)データ転送バッファを利用するの2つのケースが考えられる。SRAMアレイを画像データのキャッシュ領域として利用する場合、図27に示すように、DRAMアレイ10における画像データ格納領域60の画素データがSRAMアレイ12に格納される。SRAMアレイ12は4K・4ビットの記憶容量を備える。したがって、たとえば画像の1走査線が1024画素で構成されかつ、1画素が8ビットデータで構成される場合、SRAMアレイ12に1走査線の画素データを格納することができる。しかしながら、たとえば、動画像処理などにおいて、画像データの処理では、16行×16列または8行×8列などの画素単位で処理が行なわれることが多い(たとえば離散コサイン変換処理)。したがって、画像

データのキャッシュとしては、16画素データを格納する領域があれば十分な性能が得られる。したがって、図27に示すようにSRAMアレイ12の領域を画像データのキャッシュ領域として利用する場合、必要以上にSRAMアレイ12の領域が画像データのキャッシュ領域として利用されているため、SRAMアレイの利用効率が悪いという問題が生じる（1走査線のうち一部分の領域の画素データのみが画像データ処理時において利用されることが多いため）。

【0023】DTBR14およびDTBW16をキャッシュ領域として利用する場合には以下の問題が生じる。

【0024】図28に示すように、SRAMアレイ12にはCPUが利用するプログラムデータを格納し、DTB15（DTBR14およびDTBW16両者を含む）に画像データを格納する。DRAMアレイ10とSRAMアレイ12の間のデータ転送は、DTB15を介して行なわれる。したがって、プログラムデータのキャッシュミス時において、DRAMアレイ10からSRAMアレイ12へ必要とされるデータを転送する場合、DTB15に格納された画像データがこのプログラムデータで

書換えられないように注意する必要がある。この場合、  
（i）データ転送バッファDTB15に格納された画像データがグラフィックエンジンによりすべて処理されるまで、CPUのアクセスを待機状態とする、および（ii）DRAMアレイ10からSRAMアレイ12へCPUが必要とするプログラムデータを転送した後、再びDRAMアレイ10の画像データ格納領域からDTB15へ画像データを転送するの2つの方法が考えられる。しかしながら、これら方法（i）および（ii）のいずれにおいても、CPUが待機状態とされる時間が長くなるか、グラフィックエンジンが待機状態とされる時間が長くなるという問題が生じ、高速データ処理が実現できず、システム性能が低下するという問題が生じる。

【0025】それゆえ、この発明の目的は、画像データなどの特定の処理に用いられるデータを効率的にキャッシングすることのできる半導体記憶装置を提供することである。

【0026】この発明の他の目的は、システム性能の低下を伴うことのない、マルチメディアシステム用途に適した半導体記憶装置を提供することである。

【0027】この発明のさらに他の目的は、マルチメディアの異なるデータを効率的に格納することのできる小占有面積かつ高速の半導体記憶装置を提供することである。

【0028】

【課題を解決するための手段】この発明に係る半導体記憶装置は、要約すれば、DRAMアレイとSRAMアレイと、これらSRAMアレイおよびDRAMアレイの間の、ラッチ機能を備えかつデータ転送を行なうデータ転送バッファとを有する半導体記憶装置であって、特定の

処理に用いられるデータを記憶するバッファメモリをさらに備える。

【0029】すなわちこの発明に係る半導体記憶装置は、複数のメモリセルを有する第1のメモリアレイと、複数のメモリセルを有する、この第1のメモリアレイと別に設けられる第2のメモリアレイと、これら第1および第2のメモリアレイの間に設けられ、第1および第2のメモリアレイの間のデータ転送を行なうためのデータ転送手段を備える。このデータ転送手段は、転送データを格納する手段を含む。

【0030】この発明に係る半導体記憶装置は、さらに、第1のメモリアレイとデータの授受を行なう、特定の処理に用いられるデータを記憶する記憶手段と、データ転送手段、第2のメモリアレイおよびこの記憶手段に選択的に結合され、装置外部とデータ入出力を行なうための入出力回路を備える。

【0031】画像データなどの特定の処理に用いられるデータを記憶する手段は、第1のメモリアレイとデータの転送が可能であり、また入出力回路に結合される。したがって、外部の特定処理を行なう装置は、この記憶手段へアクセスすることにより高速アクセスが可能となる。この記憶手段の記憶容量を適当な大きさに設定することにより、特定の処理に用いられるデータの効率的なキャッシングが可能となる。

【0032】また、CPUなどの外部処理装置は、データ転送バッファまたは第2のメモリアレイへアクセスすることにより、記憶手段の記憶データの影響を受けることなく必要データを高速でアクセスすることができる。したがって、CPUなどの外部処理装置に対し、データ転送バッファおよび第2のメモリアレイをキャッシュ領域として利用することができ、CPUなどの外部処理装置に対する適当な大きさを備えるキャッシュメモリを実現することができる。これにより、マルチメディアシステム用途に最適な半導体記憶装置を実現することができる。

【0033】

【発明の実施の形態】

【実施の形態1】図1は、この発明の第1の実施の形態である半導体記憶装置の要部の構成を概念的に示す図である。図1において、半導体記憶装置は、第1のメモリアレイとしてのDRAMアレイ10と、第2のメモリアレイとしてのSRAMアレイ12と、DRAMデータバス30およびSRAMデータバス32に結合されるデータ転送手段としてのデータ転送バッファ15を含む。このデータ転送バッファ15は、従来と同様、読出データ転送バッファDTBR14および書込データ転送バッファDTBW16を含む。

【0034】DRAMアレイ10は、一例として、4Mビット・4ビットの記憶容量を備え、ロウデコーダ63およびコラムデコーダ64により、同時に16・4ビッ

トのメモリセルが選択状態とされる。SRAMアレイ 12 は、一例として、4 Kビット・4 ビットの記憶容量を備え、ロウデコーダ 6 5 により 4 本のワード線が同時に選択状態とされる。各ワード線に、16 ビットのメモリセルが接続される。これにより、SRAMアレイ 12 において、16 ビット・4 ビットのデータが同時に選択状態とされる。

【0035】DTBR 14 は、従来と同様、DRAMアレイ 10 から DRAM データバス 30 上に伝達されたデータをラッチするマスタラッチ 20 と、このマスタラッチ 20 に格納されたデータをラッチするスレーブラッチ 22 を含む。DTBW 16 は、SRAM データバス 32 上に伝達された SRAM アレイ 12 からのデータまたは入出力バッファ 28 から伝達されたデータを格納するマスタラッチ 24 と、このマスタラッチ 24 に格納されたデータをラッチするスレーブラッチ 26 を含む。

【0036】SRAM データバス 32 には、さらに、特定の処理である画像処理に用いられる画像データを格納する画像用読出バッファ 70 が接続される。この画像用読出バッファ (GBUFR) 70 は、データ転送バッファ 15 と同様、16 ビット・4 ビットの記憶容量を備える。この SRAM データバス 32 は、図示しないデコーダの出力に応答するセクタ 72 を介して 4 ビット幅のデータ入出力バス 34 に結合される。このデータ入出力バス 34 は、入出力回路としての入出力バッファ 28 に結合される。入出力バッファ 28 を介して 4 ビットデータの入出力が行なわれる。

【0037】画像用読出バッファ 70 は、DTBR 14 を介して DRAM アレイ 10 からの特定処理に用いられるデータ (以下、単に画像データと称す) を受けて格納する。この画像用読出バッファ 70 は、後に詳細に説明する制御系の制御の下に、入出力バッファ 28 を介して順次その記憶データを出力する。

【0038】DRAM のロウデコーダ 6 3 およびコラムデコーダ 6 4 と SRAM アレイ 12 のロウデコーダ 6 5 とへは別々の経路 (ピン端子) を介してアドレス信号が与えられる。後に説明するコラムデコーダは、SRAM アドレスまたは DRAM アドレスを利用して、この 16 ・4 ビットの SRAM データバス 32 から 4 ビットを選択して入出力データバス 34 に結合する。ただし、後に詳細に説明するように、データ転送バッファ 15、SRAM アレイ 12 および画像用読出バッファ 70 のいずれかをこのデータ入出力バス 30 に結合するための機能をセクタ 72 には設けられる。次に、この図 1 に示す半導体記憶装置の動作を図 2 に示すタイミングチャート図を参照して説明する。

【0039】画像用読出バッファ (GBUFR) 70 には、DRAM アレイ 10 から読出データ転送バッファ DTBR 14 を介して画像データが転送されて格納されており、また SRAM アレイ 12 には、DRAM アレイ 1

0 から CPU が利用するプログラムデータが転送されて格納されている状態を想定する。

【0040】この半導体記憶装置 (CDRAM) は、たとえばシステムクロックである外部クロック信号に同期して外部信号の取込を行ない、またこの外部クロック信号に同期して有効データの入出力を実行する。しかしながら、システムクロックのサイクル内で動作する半導体記憶装置であればよく、特にクロック同期型の半導体記憶装置であることは要求されない。外部処理装置である CPU およびグラフィックエンジンは、外部クロックに同期して CDRAM へアクセスする。

【0041】クロックは、CPU およびグラフィックエンジンの動作速度を規定するクロック信号と同じ周波数である必要はなく、これらの CPU およびグラフィックエンジンの動作速度を規定するクロック信号よりも高速のクロック信号が一般に、CDRAM にアクセスするためのサイクルを規定するために用いられる。クロック信号のサイクル T1 において、CPU が CDRAM へアクセスする。CPU が要求するデータが CDRAM の SRAM アレイ 12 内に存在する場合、CPU キャッシュヒットであり、SRAM アレイ 12 の対応のメモリセルへのアクセスが行なわれる。データ読出時においては、SRAM アレイ 12 の対応のメモリセルのデータが SRAM データバス 32 に読出され、次いでセクタ 72 によりさらに選択されて入出力バッファ 28 を介して読出される。

【0042】次のサイクル T2 においては、グラフィックエンジンが CDRAM へアクセスする。この場合、画像用読出バッファ 70 には、グラフィックエンジンが要求する画像データが格納されており、グラフィックキャッシュヒットである。したがってこの場合には、画像用読出バッファ (GBUFR と以下称す) 70 に格納されたデータがセクタ 72 を介してデータ入出力バス 34 へ読出され、次いで入出力バッファ 28 を介して出力される。

【0043】サイクル T3 において、CPU が要求するデータが SRAM アレイ 12 に存在しない場合、CPU キャッシュミスである。この場合には、DRAM アレイ 10 から SRAM アレイ 12 へ、CPU が要求するデータを含むブロック (キャッシュブロック) のデータを転送する必要がある。サイクル T3 において DRAM アレイ 10 において対応のブロックのメモリセルが選択され、選択されたメモリセルデータが転送される。サイクル T6 において、DRAM データバス 30 に、対応のメモリセルデータが伝達される。レイテンシが 3 サイクルであり、サイクル T6 において DRAM データバス 30 に現われたデータが DTBR 14 のマスタラッチ 20 へ転送される。これにより、サイクル T5 において不定状態にあった DTBR マスタラッチ 20 のデータが新しいデータで書換えられ、DTBR スレーブラッチ 22 のデ

ータがサイクルT 7において新しいデータ（CPUが要求するデータ）で書換えられる。このサイクルT 7においては、DTBRスレーブラッチ2 2からSRAMアレ  
イ1 2へのデータ転送と並行して、SRAMデータバス  
3 2からセクタ7 2を介してCPUが要求するデータ  
が入出力バッファ2 8へ与えられて、読出される。サイ  
クルT 7において、SRAMアレ  
イ1 2におけるCPU  
キャッシュの更新が行なわれる。

【0 0 4 4】このサイクルT 3からT 6の間、CPUキ  
ャッシュミス時において、CPUは待機状態とされる。10  
一方、グラフィックエンジンは、サイクルT 4およびT  
6において、それぞれCDRAMへアクセスし、必要と  
されるデータをGBUFR 7 0から読出す。

【0 0 4 5】以降サイクルT 8、T 9およびT 1 0にお  
いて、グラフィックエンジン、CPUおよびグラフィッ  
クエンジンがそれぞれCDRAMへアクセスし、必要な  
メモリセルデータへアクセスする。グラフィックエン  
ジンのキャッシュミス時においては、このCPUキャッ  
シュミス時と同様の動作が行なわれる。すなわち、DRA  
Mアレ  
イ1 0からDTBR 1 4を介してGBUFR 7 0 20  
へ、必要とされるデータが転送される。画像データが、  
たとえば1 6行1 6列の画素を単位として処理される場  
合、1 行の画素データの読出時点は予め知ることができる。  
したがって、DRAMアレ  
イ1 0において、次の行  
のデータを選択して予めDTBR 1 4のマスタラッチ2  
0を介してDTBRのスレーブラッチ2 2へ転送すれ  
ば、次の行の画素データのアクセス時には、このDTB  
R 1 4のスレーブラッチ2 2からGBUFR 7 0へのデ  
ータ転送と並行して画素データをSRAMデータバス3  
2からセクタ7 2を介して入出力バッファ2 8へ伝達  
30  
することができる。

【0 0 4 6】CDRAMにおいては、SRAM部分とD  
RAM部分とは互いに独立に駆動（活性化／プリチャ  
ージ）が可能である（この構成については後に説明す  
る）。したがって、上述のようにGBUFR 7 0からの  
データ読出と並行して次の行の画素データをDRAMア  
レ  
イ1 0において選択してDTBR 1 4へ転送すること  
により、グラフィックエンジンが必要とする画素データ  
を連続的にこのグラフィックエンジンへ供給することが  
できる。すなわち、1ブロック（1 6・4ビット）のサ  
イ  
ズのGBUFR 7 0を用いてヒット率の高い画像デー  
タ用キャッシュメモリを構築することができる。40

【0 0 4 7】1 6行・1 6列単位の画像データの処理で  
はなく、画像表示装置へグラフィックエンジンがラス  
タ  
操作順序に従ってデータを転送する場合においても、同  
様に順次DTBR 1 4へ1 走査線の画素データをブロッ  
ク単位でDRAMアレ  
イ1 0から転送することにより、  
グラフィックエンジンはキャッシュミスを生じることな  
く、必要とされる画像データを読出して画像表示装置へ  
伝達することができる。グラフィックエンジンの待機状  
50

態が生じるのは、CPUキャッシュミスが生じ、CPU  
プログラムデータがDRAMアレ  
イとSRAMアレ  
イとの  
間で転送する必要がある場合である（CPUプログラ  
ムデータの優先順位がグラフィックエンジンの画像デー  
タのそれよりも高い場合）。

【0 0 4 8】図3は、この発明の第1の実施の形態の半  
導体記憶装置の1ビットのデータ入出力部およびGBU  
FRの構成を示す図である。図3において、1ビットの  
DTBR 1 4 aおよびDTBW 1 6 aをそれぞれ1つの  
ブロックで示す。このDTBR 1 4 aおよびDTBW 1  
6 aの具体的構成は、図2 6に示す構成と同じである。  
DTBR 1 4 aは、プリアンブイネーブル信号DPAE  
と、マスタラッチ回路からスレーブラッチへのデータ転  
送を指令するデータ転送指示信号DRTEおよびスレー  
ブラッチからのデータ転送を指示するデータ転送指示信  
号BRTEを受ける。DTBW 1 6 aは、SRAMアレ  
イ1 2からマスタラッチへのデータの転送を指令するデ  
ータ転送指示信号BWTEと、マスタラッチからスレー  
ブラッチへのデータ転送を指示するデータ転送指示信号  
DWTEと、スレーブラッチとラッチデータをDRAM  
アレ  
イ1 0へ転送するためのプリアンブイネーブル信号  
DWDEとに  
応答する。1ビットDRAMデータバス3  
0 aは、DRAMアレ  
イにおいてメモリセルデータが転  
送されるグローバルIOバスGIOに接続される。

【0 0 4 9】GBUFR 7 0の1ビットのGBUFR 7  
0 aは、たとえば、インバータIV 1およびIV 2で構  
成されるインバータラッチを備える。インバータIV 1  
の駆動力はインバータIV 2の駆動力より大きくされ  
る。DTBR 1 4 aからのデータをSRAMアレ  
イ1 2  
およびGBUFR 7 0の一方へ選択的に伝達するため  
に、選択信号GSTSに  
応答するセクタ8 0が設けら  
れる。この選択信号GSTSは、またデータ転送指示の  
機能をも備え、セクタ8 0は、データ転送を行なわな  
い場合、出力ハイインピーダンス状態に設定される。G  
BUFR 7 0 aのインバータラッチIV 1およびIV 2  
へ不必要なデータが転送されるのを防止するためであ  
る。なお、図3においては、構成を概略的に示してい  
るだけであり、このGBUFR 7 0 aとセクタ8 0の間  
にデータ転送指示信号に  
応答して導通する転送ゲートが  
設けられてもよい。

【0 0 5 0】DTBR 1 4 aからの転送データとSRA  
Mアレ  
イ1 2のデータ（SRAMビット線対SBL上の  
データ）の一方を選択するために、選択信号DSRSに  
応答するセクタ8 2が設けられる。セクタ8 2の出  
力信号は、SRAMデータバス線3 2 u上に与えられ  
る。このデータバス線3 2 u上のデータは、また、DT  
BW 1 6 aへ与えられる。DTBW 1 6 aは、信号BW  
TEの活性化時、このデータバス線3 2 uから与えられ  
たデータをそのスレーブラッチ回路へ格納する。GBU  
FR 7 0 aの格納データはSRAMデータバス線3 2 v



上に伝達される。

【 0 0 5 1 】 図 1 に示すセクタ 7 2 ( 1 ビットのセクタ 7 2 a ) は、コラムデコーダ 7 4 から、データ書込時に発生されるメモリセル選択信号 ( 1 6 ビットのうちの 1 ビットを指定する信号 ) B Y W に応答して活性化され、入出力バッファ 2 8 に含まれる入力バッファ 6 1 からの書込データを D T B W 1 6 a へ伝達するデコーダ 5 2 と、コラムデコーダ 7 4 からの書込選択信号 S Y W に応答して活性化され、入力バッファ 6 1 からの書込データを S R A M データバス線 3 2 w 上に伝達するライトドライバ 5 1 と、セクタ 8 2 からの S R A M データバス線 3 2 u 上に伝達されたデータと S R A M データバス線 3 2 v 上に現われたデータの一方を選択信号 G S R S に従って選択するセクタ 8 4 と、コラムデコーダ 7 4 からの読出時に活性状態とされる選択信号 R Y W に応答してセクタ 8 4 の出力信号を増幅するプリアンプデコーダ 5 6 を含む。

【 0 0 5 2 】 コラムデコーダ 7 4 からの選択信号 R Y W は、1 6 ビットのうちの 1 ビットを選択する。この図 3 に示すセクタ 7 2 a、G B U F R 7 0 a、D T B R 1 4 a、および D T B W 1 6 a の構成が、1 6 ビット・4 個設けられる。S R A M データバス線 3 2 u、3 2 v および 3 2 w が、S R A M データバス 3 2 ( 1 ビットバス 3 2 a ) を構成する。プリアンプデコーダ 5 6 の出力信号は出力バッファ 6 2 へ与えられる。D R A M アレイ 1 0 から S R A M アレイ 1 2 へのデータ転送時においては、D T B R 1 4 が活性化され、次いでセクタ 8 0 がこの D T B R 1 4 a から転送されるデータを S R A M データバス線 3 2 w へ転送する。D R A M アレイ 1 0 から G B U F R 7 0 へのデータ転送時において、セクタ 8 0 が、選択信号 G S T S に従って D T B R 1 4 からの転送データを G B U F R 7 0 a へ転送する。S R A M アレイ 1 2 から D R A M アレイ 1 0 へのデータ転送時において、セクタ 8 2 が S R A M アレイ 1 2 のデータを選択して D T B W 1 6 へ伝達する。上述の構成により、S R A M アレイ 1 2 へのアクセス、G B R F R 7 0 へのアクセス、および D T B R 1 4 へのアクセスならびに D R A M アレイ 1 0 と S R A M アレイ 1 2 との間のデータ転送および D R A M アレイ 1 0 と G B U F R 7 0 との間のデータ転送を実現することができる。

【 0 0 5 3 】 図 4 は、図 3 に示す選択信号および転送制御信号を発生する制御部の構成を示す図である。図 4 においては、データ転送に関連する部分の構成のみを示す。しかしながら、図 1 に示す D R A M アレイ部のロウデコーダ 6 3 およびコラムデコーダ 6 4 および S R A M アレイ 1 2 のロウデコーダ 6 5 へも、同様この図 4 に示す部分からの制御信号が与えられてデコード動作が行なわれる。

【 0 0 5 4 】 図 4 に示すように、この C D R A M においては、S R A M 部分と D R A M 部分とは別々の制御回路

により動作が制御される。S R A M 部分は、外部制御信号 C C 0 ~ C C 2 およびデータ書込／読出指示信号 W E に応答して、内部制御信号 G R T、B W T、B R T W / R Z、G S B および B S を出力する S R A M コントロール回路 1 0 0 と、この S R A M コントロール回路 1 0 0 からの制御信号 G R T、B W T、G S B および B R T に従って、データ転送信号 B W T E および B R T E と選択信号 G R S、G S T S、D S R S を出力する S R A M ドライブ回路 1 0 2 を含む。S R A M コントロール回路 1 0 0 は、クロック信号 K に同期して、このクロック信号 K の立上がりにおいて外部制御信号を取込み、この外部制御信号の状態の組合せに従って、指定された動作を判別して、内部制御信号を出力する。制御信号 C C 1 ~ C C 2 の組合せにより、アクセスされるべき対象が指定され、信号 W E により、データの転送方向または入出力が判別される。たとえば制御信号 C C 0 ~ C C 2 がすべてローレベルのときにはデータ転送バッファ ( D T B R および D T B W ) が選択される。信号 W E により D T B R 1 4 および D T B W 1 6 のいずれが指定されるかを判別する。たとえば、信号 W E がデータ書込を指定している場合には、D T B W 1 6 に対するデータの書込が行なわれる。信号 W E がデータ読出を指定しているときは、D T B R 1 4 の格納データが選択される。

【 0 0 5 5 】 信号 C C 0 および C C 2 がローレベルであり、C C 1 がハイレベルのときには、S R A M アレイとデータ転送バッファ ( D T B R、D T B W ) の間のデータ転送が指定される。データ転送方向は、信号 W E により指定される。信号 W E がデータ書込を指定している場合には、S R A M アレイから D T B W 1 6 へ 1 6 ビット・4 ビットのデータの一括転送が指定される。信号 W E がデータ読出を指定している場合には、D T B R 1 4 から S R A M アレイ 1 2 への 1 6 ビット・4 ビットのデータの一括転送が指定される。

【 0 0 5 6 】 信号 C C 0 がハイレベルであり、信号 C C 1 および C C 2 がローレベルの場合には、S R A M アレイ 1 2 へのアクセスが指定される。信号 W E がデータ書込を指定している場合には、S R A M アレイ 1 2 の対応のメモリセルへデータが書込まれる。信号 W E がデータ読出を指定している場合には、S R A M アレイ 1 2 のアドレス指定されたメモリセルのデータが読出される。信号 C C 2 がハイレベルであり、信号 C C 0 および C C 1 がローレベルであり、信号 W E がデータ読出を指定している場合には、G B U F R 7 0 からのデータの読出が指定される。信号 C C 1 および C C 2 がハイレベルであり、信号 C C 0 がローレベルでありかつ信号 W E がデータ読出を指定している場合には、D T B R 1 4 から G B U F R 7 0 への 1 6 ビット・4 ビットの一括データ転送が指定される。S R A M コントロール回路 1 0 0 は、上述のような制御信号に組合せに従って、データ転送を指定する制御信号 G R T、B W T、および B R T ならびに

データ転送対象選択信号GSBおよびBSを出力する。信号GRTは、DTBR14からDBRFR70へのデータ転送を指定する信号である。信号BWTは、SRAMアレイ12からDTBW16へのデータ転送を指定する信号である。信号BRTは、DTBR14からSRAMアレイ12へのデータ転送を指定する信号である。信号BSは、DTBおよびSRAMアレイの一方を選択する信号である。信号GSBは、アクセス対象がGBUFR、DTBおよびSRAMアレイのいずれであるかを示す。

【0057】SRAMドライブ回路102は、この転送指示信号GRT、BWT、およびBRTおよび対象指定信号GSBに従って、必要なタイミングで転送指示信号BWTE、BRTEおよび選択信号GSRS、GSTSおよびDSRSを出力する。SRAMアレイ12からDTBW16（DRAMアレイ10）へのデータ転送時には、転送指示信号BWTEが活性状態とされ、かつセクタ82に対する選択信号DSRSは、SRAMデータバス線32w上のデータを選択する状態に設定される。入力バッファ61からのデータをDTBW16へ書込む場合には、転送信号BWTEは非活性状態とされる。この場合には、図3に示すデコーダ52が、後に説明するコラムデコーダ74からの選択信号BYWに従って活性化されて、入力バッファ61からのデータをDTBW16へ書込む。

【0058】信号BRTの活性化時、SRAMドライブ回路102は、選択信号DSRSをDTBR14の出力信号を選択する状態に設定し、また選択信号GSRSを、セクタ82の出力信号を選択する状態に設定する。またこのときには、転送指示信号BRTEを活性状態とする。信号GRTの活性化時には、DRAMアレイ10からGBUFR70へのデータ転送が指定されており、したがってこの場合には、信号GSTSは、DTBR14aのデータをDBUFR70aへ転送する状態に設定され、かつ信号BRTEが活性化される。

【0059】データ転送を伴った、GBUFR70、DTBR14、DTBR16およびSRAMアレイ12への外部アクセス時には、転送指示信号BWTEおよびBRTEが非活性状態とされる。選択信号DSRSおよびGSRSのみが指定された状態に設定される。このデータ転送を伴わないアクセス時における制御信号は、SRAMコントロール回路100からSRAMドライブ回路102へ与えられる信号GSBにより代表的に示す。

【0060】DRAM部分を駆動する部分は、クロック信号Kの立上がり時に信号RAS、CAS、およびDTDを取込み、これらの信号の状態により指定された動作モードを判別し、その判別結果に従って転送指示信号DWTおよびDRTを出力するDRAMコントロール回路104と、このDRAMコントロール回路104からのデータ転送指示信号DWTおよびDRTに従って

データ転送バッファを駆動する信号DPAE、DRT E、DWTEおよびDWDEを出力するDRAMドライブ回路106を含む。この信号の組合せの例は以下のとおりである。信号RASがローレベルであり、信号CASおよびDTDがともにハイレベルの場合には、DRAMアレイにおいて、メモリセル選択動作が指定される。信号RASおよびDTDがともにローレベルであり、信号CASがハイレベルの場合には、このDRAMアレイのプリチャージが指定される。信号RASがハイレベルであり、信号CASがローレベルの場合には、DRAMアレイとデータ転送バッファ（DTBR、DTBW）の間のデータ転送が指定される。データ転送の方向は、信号DTDにより決定される。DRAMアレイからDTBRへのデータ転送が指定された場合には、信号DRTが活性化され、DTBWからDRAMアレイ10へデータ転送が指定された場合にはデータ転送指示信号DRTが活性状態とされる。

【0061】DRAMドライブ回路106は、データ転送時には、これらの転送指示信号DRTおよびDWTに従ってデータ転送に必要な信号DPAE、DRT E、DWTEおよびDWDEを順次活性化する。これらの信号は、図26において用いられた信号と同じであり、その詳細説明は省略する。

【0062】SRAMドライブ回路102およびDRAMドライブ回路106へもクロック信号Kを与え、これらのドライブ回路102および106をクロック信号Kに同期して動作させることにより、データ転送動作をクロック信号に同期して行なうことができ、データ転送を確実に行なうことができる。なお、図4においても、DRAMコントロール回路104からDRAMドライブ回路106へは、単にデータ転送に関連する信号のみを示す。DRAMコントロール回路104から、また同様に図1に示すDRAMアレイ10に設けられたロウデコーダ63およびコラムデコーダ64に対する活性化信号が出力されるが、これは示していない。

【0063】コラムデコーダ74は、4ビットアドレス信号As0～As3をデコードするYデコーダ74aと、SRAMコントロール回路100からの書込／読出信号W/RZと、Yデコーダ74aの出力信号を受ける書込デコード回路74bと、SRAMコントロール回路100からの書込／読出信号W/RZとYデコーダ74aの出力信号を受ける読出デコード回路74cを含む。書込デコード回路74bは、AND回路の構成を備え、データ書込時において、Yデコーダ74aが指定するビットを選択状態とする。読出デコード回路74cは、書込／読出信号W/RZがデータ読出を指定するときに活性化され、Yデコーダ74aの出力信号に従ってそのデコード信号RYWを活性状態とする。コラムデータ74は更に、バッファ／SRAM選択信号BSと書込デコード回路74bの出力信号YWを受けるゲート74dと、

選択信号BSの反転信号と出力信号YWを受けるゲート74eを含む。ゲート74dおよび74eは選択信号BSがそれぞれバッファおよびSRAMアレイを指定するとき、イネーブルされる。

【0064】このコラムデコーダ74の出力信号SYW、BYWおよびRYWが、図3に示すライトドライバ51、デコーダ52およびプリアンプデコーダ56へそれぞれ与えられる。これによりデータ書込／読出時に応じてライトドライバ51、デコーダ52およびプリアンプデコーダ56を選択的に活性状態とすることができる。とともに、必要なデータを選択することができる（SRAMデータバスから必要なデータバスを選択してデータ入出力バスへ接続することができる）。

【0065】以上のように、この発明の第1の実施の形態に従えば、特定の処理である画像処理に用いられる画像データを記憶するための画像データ読出バッファをデータ転送バッファおよびSRAMアレイと別に設けるように構成したため、時分割態様でプログラムデータと画像データをアクセスする際に、キャッシュミスペナルティの少ない（ウェイト時間の少ない）かつ効率的な画像データキャッシュを実現することができる。

【0066】特に、プログラムデータをSRAMアレイに格納することによりキャッシュ容量が大きくなり、データ転送バッファにプログラムデータを格納する場合に比べて、はるかにキャッシュヒット率を高くすることができる。また、データ転送バッファを画像データキャッシュとして用いないため、プログラムデータのキャッシュミス時において画像データの破壊を伴うことがなく、プログラムデータのキャッシュミス時におけるCPUまたはグラフィックエンジンの待ち時間を低減することができ、システム性能の低下を防止することができ、高性能のマルチメディアシステム用途に適した高速半導体記憶装置を実現することができる。

【0067】〔実施の形態2〕図5は、この発明の第2の実施の形態である半導体記憶装置の要部の構成を概念的に示す図である。図5に示す構成においては、図1に示す構成に加えて、さらに、外部からの加工された画像データを格納するための画像用書込バッファ110がさらに設けられる。この画像用書込バッファ（GBUFW）110は、GBUFR70と同様16・4ビットの記憶容量を備え、データ転送バッファ15（DTBR14およびDTBW16）と同一の記憶容量を備える。このGBUFW110は、SRAMデータバス32を介して（図示しないセクタを介して）入出力バッファ28に結合される。グラフィックエンジンにより処理された画像データが入出力バッファ28を介してGBUFW110に書込まれる。このGBUFW110に格納された16ビット・4ビットの画像データは、DTBW16を介してDRAMアレイ10の画像データ格納領域の対応の位置へ転送される。

【0068】このGBUFW110をさらに設けることにより、以下の利点が得られる。画像データ処理は、画像データを順次読出して画像表示装置の表示画面に表示する処理だけではない。たとえば、動画像処理においては、ブロック単位で画像データの符号化処理および符号化データから現画像を復元する復元処理が行なわれる。これらの処理後のデータは1枚の画面の画像データとして、1フィールドまたは1フレーム単位でCDRAMに格納され、表示もしくは転送のために順次読出される。したがって、外部のグラフィックエンジンが読出して処理したデータを再びCDRAMの画像データ格納領域へ格納することが必要となる。グラフィックエンジンが処理したデータは、DTBW16へ順次書込むことができる。

【0069】しかしながら、画像データのDTBW16への書込時において、CPUプログラムデータのキャッシュミスが生じた場合、DRAMアレイ10からSRAMアレイ12へデータ転送（CPUが要求するデータの転送）を行なうと同時に、また、不要となったデータをSRAMアレイ12からDRAMアレイ10の対応の領域へ戻す必要がある（コピーバック）。このコピーバック動作の場合、DTBW16を介してSRAMアレイ12からDRAMアレイ10へデータの転送が行なわれる。したがって、DTBW16に格納された画像データがこのデータ転送のために破壊されるという問題が生じる。この破壊を避けるためには、CPUのウェイト時間を長くする必要がある（グラフィックエンジンからの書込データが完了しこの書込まれた画像データをDRAMアレイ10の対応の画像データ格納領域へ転送する動作が完了するまでCPUを待機状態にする必要がある）。したがって、この場合には、システムの性能が低下する。

【0070】しかしながら、この図5に示すようにGBUFW110を設け、処理後の画像データ格納領域をデータ転送バッファ15と別に設けることにより、このような画像データ書込時においてCPUプログラムデータのキャッシュミスが生じて、何らCPUの待ち時間を長くする必要がなく、また書込まれた画像データの破壊が生じることがなく、高速のデータ処理が可能となり、システム性能低下が防止される。

【0071】図6は、図5に示すデータ転送バッファ15、GBUFR70、GBUFW110およびSRAMアレイ12の1ビットのデータの入出力および転送の部分の構成を概略的に示す図である。この図6に示す構成においては、図3に示す構成に加えて、さらに、ライトドライバ51の出力信号を、選択信号GSWSに従ってSRAMビット線対32wおよび画素データ書込線32pの一方へ伝達するセクタ115と、選択信号GSWTに従って、画像データ書込線32p上のデータとセクタ82から伝達されたデータバス線32u上の信号の

一方を選択してDTBW16aへ伝達するセクタ120が設けられる。DTBW16a、DTBR14aおよびGBUFR70aは、それぞれ1ビットの記憶容量を備える。画像データ書込線32pに、1ビットのGBUFW110aが接続される。この1ビットの画像用書込バッファ110aは、ラッチを構成するインバータIV3およびIV4を含む。データバス線32u、32v、32wおよび32pが、SRAMデータバス線32aを構成する。

【0072】ここで、末尾に付された「a」の文字は、1ビットデータに関連する部分であることを強調するために用いられる。

【0073】セクタ115は、選択信号GSWSが、書込データが画像データであることを示すときには、ライトドライバ51から与えられたデータを書込データバス線32p上に伝達する。一方、セクタ115は、選択信号GSWSが、書込データがプログラムデータであることを示すときには、このライトドライバ51から与えられたデータをSRAMデータバス線32w上に伝達する。セクタ120は、選択信号GSWTが、転送すべき信号が画像データであることを示すときには、書込データバス線32pに読出された画像用書込バッファ110aからのデータを選択してデータ転送バッファ(DTBW)16aへ伝達する。セクタ120はまた、選択信号GSWTが、転送すべき信号がセクタ82で選択されてデータバス線32u上に伝達されたデータであることを示す場合には、このデータバス線32u上のデータを選択してデータ転送バッファ(DTBW)16aに伝達する。

【0074】他の構成は、図3に示す構成と同じであり、対応する部分には同一の参照番号を付し、その詳細説明は省略する。

【0075】なお、書込バッファ110aとセクタ115の間には転送指示信号に応答して導通/遮断状態とされる転送バッファが設けられてもよい。

【0076】図7は、図6に示す各制御信号および選択信号を発生する制御系の構成を示す図である。この図7に示す構成において、DRAM部分を制御するためのDRAMコントロール回路104およびDRAMドライブ回路106の構成は、先の図4に示す構成と同じであり、またコラムデコーダ74の構成も同じである。すなわち、コラムデータ74は、データ書込時、SRAMコントロール回路200からのデータ転送バッファへのデータ書込を行なうか否かを示す信号BSに従って、ゲート74dおよび74eの一方が、デコーダ74bからの選択信号YWに従って、信号BYWおよびSYWの一方を活性状態とする。

【0077】SRAMコントロール回路200は、実施の形態1の構成に加えて、信号CC2と書込/読出信号WEとに従って、GBUFR70およびGBUFW11

0とDRAMアレイとの間でのデータ転送を示す転送指示信号GRTおよびGWTを出力する。SRAMドライブ回路202は、このSRAMコントロール回路200からの制御信号GWT、GRT、BWT、BRT、GSBに従って、信号GSWS、GSWT、BWTE、BRTE、GSRS、GSTS、およびDSRSをそれぞれ所定の状態に設定する。

【0078】信号CC0~CC2およびWEのクロック信号Kの立上がりにおける状態の組合せが、GBUFW110へのデータ書込を指定している場合には、SRAMコントロール回路200は、GBUFW110へのデータ書込を指定するように信号GSBを所定の状態に設定する(この場合、信号GSBは、書込先が、SRAMアレイ、GBUFW、およびDTBWのいずれかを指定するためまたデータの書込および読出をも併せて指定するため、複数ビットのデータで表現される)。SRAMドライブ回路202は、転送指示信号GWT、GRT、BWT、およびBRTがすべて非活性状態であり、信号GSBが、GFUBW110へのデータ書込を指定する場合には、信号GSWSを、所定の状態に設定し、セクタ115が、画像データ書込データバス線32pを選択する状態に設定する。SRAMドライブ回路202は、この信号GSBWがSRAMアレイへのデータ書込を指定している場合には、SRAMドライブ回路202は、セクタ115が、ライトドライバ51からの書込信号をSRAMデータバス線32wへ伝達するように信号GSWSの状態を設定する。信号GSBがDTBW16へのデータ書込を指定している場合には、SRAMドライブ回路202は、特に信号BWTEを非活性状態とし、図6に示すデコーダ52からのデータをDTBWマスタラッチ回路へ格納する状態に設定する。信号CC2およびWEにより、GFUBW110からDRAMアレイ10へのデータ転送が指定された場合には、SRAMコントロール回路200は、信号GWTを活性状態とする。SRAMドライブ回路202は、この信号GWTに응答して、セクタ120が、このGFUBW110からの画像データを選択するように信号GSWTを所定の状態に設定し、かつ転送指示信号BWTEを活性状態とする。これによりGFUBW110に格納された16ビット・4ビットのデータが一括してDTBW16へ転送される。

【0079】残りの制御信号の状態については、先の図4について示しかつこの図4を参照して説明したものと同じである。

【0080】上述の構成により、新たに画像データ格納のための画像データ書込バッファを設けても、CPUプログラムデータアクセスに何ら悪影響を及ぼすことなく正確にGFUBW110へデータをデータを書込み、かつこのGFUBW110からDRAMアレイ10へデータを転送することができる。

【0081】以上のように、この発明の第2の実施の形態に従えば、画像データ読出のためのバッファに加えて、画像データを格納するための書込バッファを新たに設けたため、画像データ書込時においてCPUキャッシュミスが生じて、何らかの書込画像データが破壊されることなくCPUが要求するデータをDRAMアレイからSRAMアレイへ転送することができ、CPUの待機時間を低減することができ、システム性能の低下が防止される。

【0082】【実施の形態3】図8は、この発明の第3の実施の形態である半導体記憶装置の要部の構成を概念的に示す図である。図8において、DRAMデータバス30とSRAMデータバス32の間に、DTBR14と並列に、画像データ用DTBR214が設けられ、またDTBW16と並列に画像データ用のDTBW216が設けられる。SRAMデータバス32は、セクタ230を介して、4ビット幅のデータ入出力バス34に選択的に結合される。このデータ入出力バス34は、4ビットデータDQ0～DQ3を入出力する入出力バッファ28に接続される。

【0083】DTBR14およびDTBW16は、CPUが利用するプログラムデータを格納しかつ転送する。画像データ用のDTBR214および216は、グラフィックエンジンが利用する画像データを格納しかつ転送する。画像データ用データ転送バッファ214および216は、DRAMデータバス30を介してDRAMアレイ10とデータ転送を行ない、かつセクタ230を介して入出力バッファ28とデータの授受を行なう。画像データの書込時には、画像用DTBW216へ画像データが書込まれる。1ブロック（16・4ビット）または1ブロックの必要なデータの書込が完了すると、DRAMアレイ10の画像データ格納領域の対応の領域へ、この画像用DTBW216に格納された書込データが転送される。

【0084】画像データの読出時には、画像用DTBR214の格納データが、セクタ230および入出力バッファ28を介して読出される。DTBR214の格納データの読出が完了すると、DRAMアレイ10の画像データ格納領域の次に処理されるブロックの画像データがDTBR214へ転送される。

【0085】プログラムデータの書込、読出および転送は、第1、2の実施の形態と同様に行なわれる。画像データを格納するために、SRAMアレイ12とDRAMアレイ10との間のデータ転送を行なうためのデータ転送バッファと同一構成のバッファを利用することにより、以下の利点が得られる。

【0086】DTBR14および214ならびにDTBW16および216のデータ転送およびアクセスの制御は、転送またはアクセスされるデータがプログラムデータであるか画像データであるかを除いて、同じタイミン

グで制御信号を発生することにより行なうことができる。したがって、外部から、処理されるデータがプログラムデータであるか画像データであるかを示す信号を受けることにより、処理されるデータの種類（プログラムデータおよび画像データ）を識別することにより、処理されるデータに関連するDTBRおよびDTBWに対する制御信号を活性状態とすればよい。したがって、このデータ転送およびアクセスの制御回路の構成が簡略化される（この制御回路の構成については後に説明する）。

【0087】ここで、画像データ用DTBR214は、DRAMアレイ10からのデータを受けて格納するマスタラッチ220と、このマスタラッチ220の格納データを受けてセクタ230へ受けたデータを与えるスレーブラッチ220で構成される。画像データ用DTBW216は、セクタ230を介して与えられたデータを格納するマスタラッチ224とこのマスタラッチ224に格納されたデータを受け、DRAMアレイ10へDRAMデータバス30を介して転送するスレーブラッチ226を備える。プログラム用データを格納するDTBR14およびDTBW16は、実施の形態1および2と同様の構成を備えている。したがって、これらのDTBR14および214ならびにDTBW16および216は、それぞれマスタ/スレーブの同じ構成を備えており、またDTBR214およびDTBW216は、それぞれDTBR14およびDTBW16と同一の記憶容量（16ビット・4ビット）を備える。

【0088】図9は、図8の構成の1ビットのデータ入出力およびデータ転送に関連する部分の構成を示すブロック図である。図9において、1ビットのプログラムデータをDRAMアレイ（グローバルI/O線GIO）へ伝達するDTBW16aは、転送制御信号BWTE、DWTE、およびDWDEに応答して動作する。これらの信号は、実施の形態1および2において用いられた信号と同じである。

【0089】外部から与えられた画像データを格納しかつDRAMアレイへ転送する1ビットDTBW216aは、転送制御信号GBWTE、GWTE、およびGWD Eに応答して動作する。転送制御信号GBWTE、GDWTEおよびGWD Eは、処理対象となるデータが画像データの場合に、転送制御信号BWTE、DWTEおよびDWDEと同じタイミングで発生される。すなわち、転送制御信号GBWTEは、活性化時、DTBW216aのマスタラッチに、外部から与えられた画像データを転送する。転送制御信号GDWTEは、1ビットDTW216aのスレーブラッチからマスタラッチへのデータ転送を制御する。転送制御信号GWD Eは、この1ビットDTBW216aの出力部に設けられたブリアンプを活性化し、マスタラッチ回路に格納されたデータを出力する。1ビットDTBW16aおよび1ビットDTBW216aの出力するデータはセクタ251を介して

1ビットDRAMデータバス30aに転送される。

【0090】セクタ251は、選択制御信号GPWTに  
 1ビットDTBW16aおよび1ビットDTBW216aの一方の出力データを選択する。この選  
 択制御信号（グラフィック／プログラム書込選択制御信  
 号）GPWTは、DTBW16および216からDRAM  
 アレイへのデータ転送時に活性状態とされ、かつDT  
 BW16およびDTBW216aの一方を選択する状態  
 に設定される。セクタ251は、転送動作が行なわ  
 れない場合には、出力ハイインピーダンス状態に設定され  
 る。セクタ251は、1ビットDTBW16aおよび  
 1ビットDTBW216aの一方の出力信号を常時選  
 択する状態に設定されてもよい。この場合でも、1ビット  
 DTBW16aおよび1ビットDTBW216aは、信  
 号DWDEおよびGDWDEの非活性化時、出力ハイ  
 インピーダンス状態とされるため、何ら問題は生じない。

【0091】プログラムデータを格納／転送する1ビ  
 ットDTBR14aは、データ制御信号BRTE、DPA  
 EおよびDRTEに  
 1ビットDTBR14aおよび1ビットDTBR214a  
 へは、セクタ252を介してDRAMデータバス30  
 aからデータが伝達される。セクタ252は、データ  
 転送時に活性状態とされる制御信号GPRTに従って1  
 ビットDTBR14aおよび1ビットDTBR214a  
 の一方へ、DRAMデータバス30aから与えられたデ  
 ータを伝達する。1ビットDTBR14aおよび1ビ  
 ットDTBR214aは、転送制御信号DRTEおよびG  
 DRTEの非活性化時には、セクタ252から伝達さ  
 れたデータは取込まないため、セクタ252は、1ビ  
 ットDTBR14aおよびDTBR214aの一方を常  
 時選択する状態に設定されてもよい。

【0092】画像データを格納する1ビットDTBR2  
 14aは、転送制御信号GBRDE、GDPAE、およ  
 びGDRTEに  
 1ビットDTBR14aおよび1ビットDTBR214a  
 へは、セクタ252を介してDRAMデータバス30  
 aからデータが伝達される。セクタ252は、データ  
 転送時に活性状態とされる制御信号GPRTに従って1  
 ビットDTBR14aおよび1ビットDTBR214a  
 の一方へ、DRAMデータバス30aから与えられたデ  
 ータを伝達する。1ビットDTBR14aおよび1ビ  
 ットDTBR214aは、転送制御信号DRTEおよびG  
 DRTEの非活性化時には、セクタ252から伝達さ  
 れたデータは取込まないため、セクタ252は、1ビ  
 ットDTBR14aおよびDTBR214aの一方を常  
 時選択する状態に設定されてもよい。

【0093】なお、セクタ251および252は、特  
 に設けられなくてもよい。DTBW16aおよび216  
 aは、転送制御信号DWDEおよびGDWDEの活性  
 化時に、その格納データを増幅して出力し、転送制  
 御信号GWDEおよびGDWDEの非活性化時には、出力  
 ハイインピーダンス状態と設定されるためである。同  
 様、1ビットDTBR14aおよび1ビットDTBR214  
 aも、転送制御信号DRTEおよびGDRTEの非活  
 性化時には、与えられたデータの取込動作は行なわ  
 ないため、セクタ252が設けられなくても、誤った  
 データ転送が行なわれることはない。

【0094】図8に示すセクタ230の1ビットの選  
 択回路230aは、先の実施の形態1および2の構成  
 と同様、活性制御信号SYWに  
 1ビットDTBW16aおよび1ビットDTBW216aの  
 一方の出力データを選択する。この選択制御信号  
 GPWTは、DTBW16および216からDRAM  
 アレイへのデータ転送時に活性状態とされ、かつDT  
 BW16およびDTBW216aの一方を選択する状態  
 に設定される。セクタ251は、転送動作が行なわ  
 れない場合には、出力ハイインピーダンス状態に設定され  
 る。セクタ251は、1ビットDTBW16aおよび  
 1ビットDTBW216aの一方の出力信号を常時選  
 択する状態に設定されてもよい。この場合でも、1ビット  
 DTBW16aおよび1ビットDTBW216aは、信  
 号DWDEおよびGDWDEの非活性化時、出力ハイ  
 インピーダンス状態とされるため、何ら問題は生じない。

【0095】デコーダ52から与えられたデータは、セ  
 レクタ250を介して1ビットDTBW16aおよび1  
 ビットDTBW216aの一方へ与えられる。セクタ  
 250は、選択制御信号GPSWがプログラムデータ  
 を示すときには、デコーダ52から与えられたデータ  
 を1ビットDTBW16aへ伝達する。セクタ250は、  
 この転送制御信号GPSWが、画像データを示す場  
 合には、デコーダ52からのデータを1ビットDTBW  
 216aへ伝達する。1ビットDTBW216aにお  
 いては、1ビットDTBW16aと異なり、SRAMア  
 レイからのデータは伝達されない。したがって、こ  
 の1ビットDTBW216a（216）に対する転送制  
 御信号GBWTEは、常時非活性状態とされる。一  
 方、1ビットDTBW16aは、このセクタ250から  
 データが転送された場合には、その内部に含まれる  
 スレーブラッチ回路に、与えられたデータを格納す  
 る。制御信号BWT Eの活性化時には、1ビットDT  
 BW16aは、このSRAMデータバス線32aから伝  
 達されたデータをそのスレーブラッチ回路に格納す  
 る。

【0096】1ビットDTBR14aのデータ出力部  
 には、その転送経路を切替えるためのセクタ253  
 が設けられる。セクタ253は、選択制御信号PSRS  
 が、DRAMアレイからSRAMアレイへのデータ  
 転送を示す場合には、この1ビットDTBR14a  
 からのデータをSRAMデータバス線32a上に伝  
 達する。選択制御信号PSRSが、データ読出を指  
 定する場合には、セクタ253は、DTBR14a  
 からのデータをセクタ254へ伝達する。

【0097】セクタ254は、このセクタ253か  
 らの伝達データと1ビットDTBR214aからのデ  
 ータ信号を受け、一方を選択制御信号GPSRに  
 従って選択する。選択制御信号GPSRが、プロ  
 グラムデータを示す場合には、セクタ254は、  
 セクタ25eから伝達されたデータを選択する。  
 選択制御信号GPSRが画像データを示す場  
 合には、セクタ254は、1ビットDTBR214a  
 からのデータを選択する。セクタ254の出力デ  
 ータは、セクタ255を介してプリアンプ56へ  
 与えられる。セクタ255は、選択制御信号GSBS  
 が、SRAMアレイを指定する場合には、SRAM  
 データバス線32a上のデータを選択してプリア

ンプ 5 6 へ与える。選択制御信号 G S B S が、データ転送バッファを指定する場合には、セクタ 2 5 5 は、セクタ 2 5 4 から与えられたデータを選択してプリアンプ 5 6 へ与える。

【0098】DTBR 1 4 から SRAM アレイ 1 2 へのデータ転送と同時に、この DTBR 1 4 のデータを装置外部へ読出す場合には、セクタ 2 5 3 が、1 ビット DTBR 1 4 a のデータを SRAM データバス線 3 2 a 上に伝達し、かつセクタ 2 5 5 が、この SRAM データバス線 3 2 a 上のデータを選択してプリアンプ 5 6 へ与える。

【0099】図 1 0 は、図 9 に示す制御信号を発生する制御部の構成を示す図である。図 1 0 において、コラムデコーダ 7 4 は、実施の形態 1 および 2 と同様の構成を備えており、対応する部分には同一の参照番号を付す。コラムデコーダ 7 4 は、データ書込時、SRAM コントロール回路 3 0 0 からの書込先指定信号 B S に従って、デコーダへ与える制御信号 B Y W およびライトドライバへ与える制御信号 S Y W の一方を活性状態とする。

【0100】データ転送バッファ 1 4、1 6、2 1 4 および 2 1 6 へのデータの入出力、および SRAM アレイ 1 2 へのデータ入出力および SRAM アレイ 1 2 とデータ転送バッファ 1 4、1 6 との間のデータ転送の制御は、SRAM コントロール回路 3 0 0 および SRAM ドライブ回路 3 0 2 により行なわれる。SRAM コントロール回路 3 0 0 は、外部からの制御信号 C C 0 ~ C C 2 および書込／読出指示信号 W E に従って、G W T、G R T、B W T および B R T と、アクセス対象指定信号 G S B、および書込対象指定信号 B S および書込／読出指示信号 W / R Z を出力する。転送指示信号 G W T は、画像データを格納する D T B W 2 1 6 から DRAM アレイへのデータ転送を指定する。転送指示信号 G R T は、画像データを格納する G T B R 2 1 4 への DRAM アレイ 1 0 からの画像データの転送を指定する。転送指示信号 B W T は、プログラムデータを格納する D T B W 1 6 から DRAM アレイ 1 0 へのデータ転送を指定する。転送指示信号 B R T は、プログラムデータを格納する D T B R 1 4 への DRAM アレイ 1 0 からのデータ転送を指定する。アクセス対象指定信号 G S B は、データアクセス対象が、SRAM アレイであるか、画像データ転送バッファであるか、プログラムデータ転送バッファであるかを指定する。信号 B S は、データ書込対象が SRAM アレイであるかデータ転送バッファ（ブロックデータおよび画像データ両者を含む）であるかを指定する。

【0101】SRAM コントロール回路 3 0 0 は、クロック信号 K の立上がり時における外部制御信号 C C 0 ~ C C 2 および W E の状態の組合せに応じて内部動作を規定する制御信号を発生する。図 1 0 において、この外部クロック信号 K は示していない。制御信号 C C 2 により、処理される対象がプログラムデータであるか画像デ

ータであるかが指定される。制御信号 C C 0 および C C 1 により、データ転送が行なわれるか否か、および行なわれるデータ転送の方向を指定する。書込／読出指示信号 W E は、外部データ書込が行なわれるか外部データ読出が行なわれるかを指定する。

【0102】SRAM ドライブ回路 3 0 2 は、この SRAM コントロール回路 3 0 0 からの、転送指示信号 G W T、G R T、B W T、および B R T と、アクセス先指定信号 G S B および書込／読出指示信号 W / R Z に従って、転送制御信号 B W T E、B R T E、G B W T E および G B R T E ならびに選択信号 G P S W、G P S R、G S B S、および P S R S をそれぞれ所定の状態に設定する。データ転送指定信号 G W T、G R T、B W T、および B R T がすべて非活性状態の場合には、SRAM ドライブ回路 3 0 2 は、アクセス対象指定信号 G S B および書込／読出指示信号 W / R Z に従って、選択制御信号 G P S W、G P S R、G S B S および B S R S を、指定された状態に設定する。データ転送が行なわれる場合には、信号 C C 2 に従って転送制御信号 B W T E、B R T E、G B W T E および G B R T E がそれぞれ所定の状態に設定される。このとき、データの書込／読出が行なわれる場合には、併せて選択制御信号 G P S W、G P S R、G S B S および P S R S が所定の状態に設定される。

【0103】データ転送バッファ 1 4、1 6、2 1 4 および 2 1 6 と DRAM アレイ 1 0 との間のデータ転送は、DRAM コントロール回路 3 0 4 および DRAM ドライブ回路 3 0 6 により制御される。DRAM コントロール回路 3 0 4 は、制御信号 C C 2、R A S、C A S および D T D に従って内部転送指示信号 D W T、D R T、G R T、および G W T を出力する。制御信号 C C 2 により、データ転送が、プログラムデータに対して行なわれるのか、画像データに対して行なわれるのかの識別が行なわれる。制御信号 D T D に従って、データ転送方向が決定される。信号 R A S および C A S の状態の組合せにより、単に DRAM アレイにおいてメモリセルデータが選択されるだけであるのか、データ転送が行なわれるのかの指定が行なわれる。

【0104】DRAM ドライブ回路 3 0 6 は、この DRAM コントロール回路 3 0 4 からの転送制御信号 D W D、D R T、G R T および G W T に従って、転送制御信号 D W T E、D W D E、D P A E、D R T E、G W T E、G D W D E、G D P A E、G D R T E および選択制御信号 G P W T および G P R T を所定の状態に設定する。

【0105】SRAM ドライブ回路 3 0 2 および DRAM ドライブ回路 3 0 6 も、内部クロック信号 K に従って、各制御信号をそれぞれ確定状態に設定する。このクロック信号の伝達経路は示していない。クロック信号 K に従って各信号を発生することより、データ転送動作タ

イミングの確立が容易となる。

【0106】以上のように、この発明の第3の実施の形態に従えば、プログラム転送用バッファと並列に画像データ書込／読出のための転送バッファを設けたため、画像データの書込／読出と並行してプログラムデータのDRAMアレイとSRAMアレイとの間での伝送を行なうことができ、プログラムデータのキャッシュミス時のCPUの待ち時間の増加を防止することができる。また、このとき、画像データを一端DRAMアレイへ退避させる必要がなく、プログラムデータのSRAMアレイとDRAMアレイとの間の転送を、画像データの破壊を伴うことなく高速で行なうことができる。

【0107】また、画像データ記憶および転送のためのデータ転送バッファは、DRAMアレイとSRAMアレイとの間での1回のデータ転送により転送されるデータビットを記憶する容量を備えており、画像データのための最適な大きさを備えるキャッシュメモリを実現することができる。

【0108】〔実施の形態4〕図11は、この発明の第4の実施の形態である半導体記憶装置の要部の構成を概念的に示す図である。図11において、DRAMアレイから転送されたデータを受けるデータ転送バッファ（DTBR）314は、DRAMアレイ10からDRAMデータバス30を介して与えられるデータを受けるマスタラッチ320と、マスタラッチ320から与えられる画像データを格納する画像用スレーブラッチ321と、マスタラッチ320から与えられるプログラムデータを格納するプログラム用スレーブラッチ322を含む。

【0109】DRAMアレイ10へデータを転送するデータ転送バッファ（DTBW）は、SRAMデータバス32を介して与えられる画像用データを格納する画像用マスタラッチ323と、このSRAMデータバス32を介して与えられるプログラムデータを格納するマスタラッチ324と、マスタラッチ323および324に共通に結合され、これらマスタラッチ323および324から与えられたデータをDRAMアレイ10へDRAMデータバス30を介して転送するスレーブラッチ326を含む。

【0110】スレーブラッチ321、322、326およびマスタラッチ320、323、および324は、それぞれ16・4ビットの記憶容量を備える。

【0111】この図11に示す構成においては、DTBR314において、画像データをDRAMアレイから受けるマスタラッチと、プログラムデータをDRAMアレイから受けるマスタラッチとが1つのマスタラッチ320で実現される。同様、DRAMアレイへ画像用データを転送するためのスレーブラッチとDRAMアレイ10へプログラムデータを転送するためのスレーブラッチが1つのスレーブラッチ326で実現される。したがって、図8に示す構成に比べて、データ転送バッファの占

有面積を低減することが可能となる。プログラムデータのDRAMアレイ10とSRAMアレイ12との間の転送およびプログラムデータのDTBR314（スレーブラッチ322）からの読出、およびプログラムデータのDTBW（マスタラッチ324）への書込は、先の実施の形態1ないし3と同じである。同様、画像データのDRAMアレイとデータ転送バッファの間の転送および画像データの書込／読出動作も同じである。

【0112】この図11に示す構成においては、画像データをDTBR314のスレーブラッチ321に格納し、またDTBW316のマスタラッチ323に格納する。したがって、CPUキャッシュミスが生じた場合には、マスタラッチ320およびスレーブラッチ326を用いてCPUプログラムデータ転送を行なっても、何ら画像データの破壊は生じない。たとえば、マスタラッチ320において画像データが格納されている場合、画像データはスレーブラッチ322に転送されている。したがって、このマスタラッチ320の格納する画像データが、CPUプログラムデータで書換えられても、必要とされる画像データはスレーブラッチ322に既に格納されているため、何ら問題は生じない。スレーブラッチ326についてもスレーブラッチ326に画像データが格納されている場合、このスレーブラッチ326に格納された画像データは、既にDRAMアレイ10に転送されている。次に転送されるべき画像データはマスタラッチ323に格納されている。したがって、マスタラッチ324およびスレーブラッチ326を用いてSRAMアレイ12からDRAMアレイ10へプログラムデータの転送を行なっても、スレーブラッチ326の格納する画像データがCPUプログラムデータで書換えられても、この画像データは既にDRAMアレイ10の対応の領域に格納されているため、何ら問題は生じない。図12は、図11に示す半導体記憶装置の1ビットのデータの入出力／転送に関連する部分の構成を示す図である。図12において、1ビットデータ転送バッファ（DTBW）314aは、転送制御信号BWTEに従って、SRAMデータバス線32a上のデータを取込むとともに、セレクト250を介してデコーダ52から与えられた書込データをラッチするマスタラッチ回路324aと、セレクト250を介してデコーダ52から与えられる書込画像データをラッチするマスタラッチ回路323aと、マスタラッチ回路324aおよび323aの一方のデータを選択するセレクト332と、これセレクト332の出力するデータ信号をラッチしてDRAMデータバス線30aへ伝達するスレーブラッチ回路326aを含む。セレクト332は、選択制御信号GPWTに従って、マスタラッチ回路324aおよび323aの一方の出力データ信号を選択する。スレーブラッチ回路326aは、転送制御信号DWT EおよびDWDEに応答して与えられたデータをラッチしかつ転送する。画像データを格納するマス



タラッチ回路 3 2 3 a へ与えられる転送制御信号 G B W T E は、常時非活性状態とされる。このマスタラッチ回路 3 2 3 a は、セレクト 2 1 0 を介してデコーダ 5 2 から与えられる書込画像データのみをラッチするためである。

【 0 1 1 3 】 1 ビット D T B R 3 1 6 a は、D R A M データバス線 3 0 a 上のデータを取込みラッチするマスタラッチ回路 3 2 0 a と、マスタラッチ回路 3 2 0 a からのプログラムデータを格納するスレーブラッチ回路 3 2 2 a と、マスタラッチ回路 3 2 0 a からの画像データを格納するスレーブラッチ回路 3 2 1 a と、マスタラッチ回路 3 2 0 a の出力するデータ信号をスレーブラッチ回路 3 2 1 a および 3 2 2 a の一方へ伝達するセレクト 3 3 4 a を含む。マスタラッチ回路 3 2 0 a は、転送制御信号 D P A E および D R T E に応答して、D R A M データバス線 3 0 a 上のデータ信号を取込みかつ転送する。セレクト 3 3 4 は、選択制御信号 G P R T に従って、転送経路を確立する。スレーブラッチ回路 3 2 2 a は、転送制御信号 B R T E に従って、そのラッチしたデータをセレクト 2 5 3 へ伝達する。スレーブラッチ回路 3 2 1 a は、そのラッチしたデータを転送制御信号 G B R D E に従ってセレクト 2 5 4 の一方入力へ伝達する。

【 0 1 1 4 】 マスタラッチ回路 3 2 3 a および 3 2 4 a ならびにスレーブラッチ回路 3 2 1 a および 3 2 2 a の構成は、先の第 3 の実施の形態の構成と同じであり、この D T B R 3 1 4 a および 3 1 6 a と入出力バッファ 2 8 a との間に設けられる部分の構成は、図 9 に示す構成と同じであり、対応する部分には同一参照番号を付しその詳細説明は省略する。

【 0 1 1 5 】 セレクト 3 3 2 および 3 3 4 は、実質的に、この図 9 に示すセレクト 2 5 1 および 2 5 2 と等価な機能を実現する。セレクト 3 3 2 は、選択制御信号 G P W T が、プログラムデータを示すときには、マスタラッチ回路 3 2 4 a の出力データ信号を選択する。選択制御信号 G P W T が画像データを指定する場合には、セレクト 3 3 2 はマスタラッチ回路 3 2 3 a の出力するデータ信号を選択する。

【 0 1 1 6 】 セレクト 3 3 4 は、選択制御信号 G P R T が、プログラムデータを指定する場合には、マスタラッチ回路 3 2 0 a の出力データ信号をスレーブラッチ回路 3 2 2 a へ伝達する。選択制御信号 G P R T が画像データであることを示すときには、セレクト 3 3 4 は、マスタラッチ回路 3 2 0 a からのデータ信号をスレーブラッチ回路 3 2 1 a へ伝達する。したがって、この選択制御信号 G P W T および G P R D の持つ意義は、図 9 に示す選択制御信号と同じである。

【 0 1 1 7 】 図 1 3 は、図 1 2 に示す制御信号を発生する部分の構成を示す図である。図 1 3 において、S R A M コントロール回路 3 0 0 および S R A M ドライブ回路 3 0 2 は、図 1 0 に示す S R A M コントロール回路 3 0

0 および S R A M ドライブ回路 3 0 2 と同じ構成を備える。同様にコラムデコーダ 7 4 も図 1 0 に示す構成と同一の構成を備える。データ転送バッファ ( D T B R および D T B W ) とデータ入出力部および S R A M アレイとの間の部分の構成は、先の実施の形態 3 の構成と実質的に同じであるためである。

【 0 1 1 8 】 D T B W 3 1 4 のスレーブラッチ 3 1 6 および D T B R のマスタラッチ 3 2 0 がプログラムデータおよび画像データで共有されるため、D R A M コントロール回路 3 0 4 の出力信号に応答して動作する D R A M ドライブ回路 3 0 6 の構成が少し異なる。D R A M ドライブ回路 3 0 6 は、先の実施の形態 3 の構成と異なり、送制御信号 D W T E 、D W D E 、D P A E および D R T E および選択制御信号 G T W T および G P R T を出力する。プログラムデータおよび画像データが共通にスレーブラッチを介して転送されるため、D T B W のスレーブラッチの転送動作を制御するための信号 D W T E および D W D E がプログラムデータおよび画像データ両者に共通に用いられる。同様に、D T B R マスタラッチ 3 2 0 のデータ転送を制御するための信号 D P A E および D R T E が、プログラムデータおよび画像データ両者の転送時に共通に用いられる。プログラムデータおよび画像データの転送経路の制御は、選択制御信号 G P W T および G P R T により実現される。

【 0 1 1 9 】 D R A M コントロール回路 3 0 4 の構成は、したがって、実質的に図 1 0 に示す構成と同じである。制御信号 C C 2 に従って、転送されるデータが画像データであるかプログラムデータであるかに従って、選択制御信号 G P W T および G P R T の状態が決定される。

【 0 1 2 0 】 以上のように、この発明の第 4 の実施の形態の構成に従えば、D R A M データバスに結合されるスレーブラッチ回路およびマスタラッチ回路を、プログラムデータおよび画像データ両者に共通に用いるように構成したため、このデータ転送バッファの占有面積を低減することができ、小占有面積の半導体記憶装置を実現することができる。同様に、第 3 の実施の形態と同様の効果をも実現することができる。

【 0 1 2 1 】 [ 実施の形態 5 ] 図 1 4 は、この発明の第 5 の実施の形態である半導体記憶装置の要部の構成を概念的に示すブロック図である。図 1 4 に示す構成においては、画像データを D R A M アレイ 1 0 から受けて格納する D T B R 3 1 4 において、画像データ格納のためのスレーブラッチに代えて、画像表示装置の表示画面上の 1 走査線上の画素データを格納する記憶容量を有するシフトレジスタ 3 5 0 が設けられる。シフトレジスタ 3 5 0 を除く他の構成は、図 1 1 に示す構成と同じであり、対応する部分には同一参照番号を付し、これらの詳細説明は省略する。

【 0 1 2 2 】 シフトレジスタ 3 5 0 の記憶容量は、1 走

査線上の画素の数、1画素データのビット数および画素データの構成方法（複数チップで1画素データを表現するなどの方法）により異なる。たとえば、1走査線が1024画素を含み、1画素のデータが8ビットで構成されかつこの半導体記憶装置が1つだけ用いられる場合には、シフトレジスタ350は、 $1024 \cdot 8 = 8K$ ビットの記憶容量を備える。

【0123】図15に示すように、画像表示装置への画像データの表示時において、水平帰線期間または垂直帰線期間にDRAMアレイ10からシフトレジスタ350へ、1走査線の画素データを転送する。帰線期間の間はビデオリフレッシュおよびCPUアクセスが行なわれる。ビデオリフレッシュにより、このシフトレジスタ350に格納されたデータが順次読出されて画像表示装置の表示画面上に表示される。このビデオリフレッシュ/CPUアクセス時においては、外部のグラフィックエンジンとCPUとがインタリーブ態様でこの半導体記憶装置へアクセスする。シフトレジスタ350には、1走査線の画素データが格納されているため、グラフィックエンジンは描画時（画像表示装置の表示画面上の画像データの表示）において、連続的に画素データを読出して画像表示装置の表示画面上に表示することができる。描画時におけるDRAMアレイから画像データをブロック単位でキャッシュする場合のような、各ブロックのデータ読出ごとにデータをDRAMアレイからキャッシュ（G buffersまたはDTBR）へ転送する必要がなく、グラフィックエンジンのウェイトサイクルをなくすことができ、画像データを高速で表示することができる。

【0124】図16は、図14に示すDTBR314の、1ビットデータを出力する部分の構成を示す図である。図16において、DTBRマスタラッチ320は、16ビットDRAMデータバス30bに並列に（異なるバス線に）結合される16個のDTBRマスタラッチ#0～#15（ML0～ML15）を含む。これらのDTBRマスタラッチML0～ML15は、16ビットDRAMデータバス30b上の対応のビットを並列に受ける。マスタラッチML0～ML15それぞれに対応して、プログラムデータを格納するためのスレーブラッチSL0～SL15が配置される。これらのスレーブラッチSL0～SL15とは別に、シフトレジスタ回路SR0～SR15が配置される。スレーブラッチSL0～SL15およびシフトレジスタ回路SR0～SR15は、選択的に1ビット入出力データバス線34aに結合される。

【0125】シフトレジスタ回路SR0～SR15の各々は、複数段のDフリップフロップ（D-FF）で構成される。シフトレジスタ回路SR0～SR15に含まれるDフリップフロップ（D-FF）の数は、画素データの構成により異なる。DRAMアレイからシフトレジスタ回路SR0～SR15へのデータ転送時において、1

6ビットのブロックデータがDRAMデータバス30bに伝達され、各ビットがDTBRマスタラッチML0～ML15に格納される。次いで、このマスタラッチML0～ML15の格納データがシフトレジスタ回路SR0～SR15の初段のDフリップフロップ（D-FF）に格納される。次いで、再び次の16ビットのブロックデータがDRAMデータバス30b上に伝達されてマスタラッチML0～ML15に格納される。次いでマスタラッチML0～ML15からシフトレジスタ回路SR0～SR15へそれぞれ対応の画素データビットを転送する。そのデータ転送動作を必要な回数繰り返すことにより、シフトレジスタ回路SR0～SR15には、1走査線の画素に対応する画像データが格納される。

【0126】DRAMアレイ10からシフトレジスタ回路SR0～SR15へのデータ転送時において、DRAMアレイの列アドレスを指定する必要がある（データブロックの指定のため）、外部からの処理装置（グラフィックエンジン）の制御の下に、DRAM列アドレスが与えられかつデータ転送指令が与えられてデータ転送動作が行なわれる（帰線期間内において）。

【0127】図17は、図14に示す半導体記憶装置の1ビットのデータの入出力および転送を行なう部分の構成を示す図である。この図17に示す構成においては、図12に示す構成において、DTBRスレーブラッチ回路321aに代えて、シフトレジスタ回路SRi（350a）が配置される。他の構成は図12に示す構成と同じであり、対応する部分には同一の参照番号を付し、その詳細説明は省略する。

【0128】シフトレジスタ回路SRiは、シフトクロックSFKに従ってデータラッチおよび転送を行なう。このシフトクロックSFKの発生態様については後に説明する。水平または垂直帰線期間において、セクタ334を介して、マスタラッチ回路320aから画像データがシフトレジスタ回路SRi（350a）へ転送される。各転送ごとにシフトクロックSFKを活性状態とすることにより、データの格納および転送を行なうことができる。このシフトレジスタ回路SRi（350a）の格納データの読出時においては、セクタ254によりその格納画像データが読出されてセクタ255およびブリアンプ56を介して出力バッファ62へ伝達される。

【0129】DRAMアレイの1行の画像データが1走査線の画素データに対応する場合において画像データをDRAMアレイからシフトレジスタ350へ転送する場合、DRAMアレイにおいて行を選択状態として、列アドレスを与える。これにより、1ブロック（16・4ビット）のデータが選択される。このブロック選択動作を繰り返すとともに、DRAMアレイからシフトレジスタ350へのデータ転送を行なう。したがって、データ転送動作は外部装置からの指令により実行されるため、こ

のデータ転送を制御するための制御部の構成は、図 10 に示す構成を利用することができる。

【0130】図 18 は、図 17 に示すシフトクロック S F K を発生する部分の構成を示す図である。図 18 において、シフトクロック発生部は、コラムデコーダからの選択信号 R Y W の立下がりに応答してワンショットのパルス信号を発生するパルス発生回路 400 a と、選択制御信号 G S B S の非選択状態への移行に応答して、ワンショットのパルス信号を発生するパルス発生回路 400 b と、選択制御信号 G P S R の非活性手段への移行に応答してワンショットのパルス信号を発生するパルス発生回路 400 c と、パルス発生回路 400 a ~ 400 c の出力信号を受ける AND 回路 402 と、転送制御信号 D R T E および G P R T を受ける AND 回路 404 と、AND 回路 402 および 404 の出力信号を受ける OR 回路 406 を含む。

【0131】コラムデコーダからの選択信号 R Y W は、対応のデータ転送バッファが選択されたときに、ハイレベルとなる。選択制御信号 G S B S が、ハイレベルに設定されたときに、セクタ 255 は、図 17 に示すセクタ 254 の出力信号を選択する状態に設定される。選択制御信号 G P S R はハイレベルのときに、このシフトレジスタ回路 S R i ( 350 a ) の出力信号を選択する状態を示す。したがって、AND 回路 402 からの出力信号に従って、シフトレジスタ回路 S R i ( 350 a ) の画素データが読出された後に、シフト動作が行なわれる。ここで、シフトレジスタ回路 S R i ( 350 a ) は、出力段に設けられた D フリップフロップ ( D - F F ) はセクタ 254 へ常時その格納データを出力している状態を想定している。

【0132】転送制御信号 D R T E の活性化時には、図 17 に示すマスタラッチ回路 320 a からスレーブラッチ回路 322 a またはシフトレジスタ回路 S R i ( 350 a ) へのデータ転送が行なわれる。セクタ 334 は、選択制御信号 G P R T がハイレベルに設定されたときには、このマスタラッチ回路 320 a から与えられるデータをシフトレジスタ回路へ転送する。したがって、DRAM アレイからシフトレジスタ回路 S R i ( 350 a ) へのデータ転送時において、AND 回路 404 の出力信号がハイレベルとされる。したがって、OR 回路 406 を介して、シフトクロック S F K がハイレベルとされ、このシフトレジスタ回路 S R i ( 350 a ) が、DRAM アレイから転送されたデータを格納する。各転送ごとにシフトクロック S F K が活性状態とされるためシフトレジスタ回路 S R i ( 350 a ) において、順次その格納データが転送される。

【0133】一方、データを読出す場合には、AND 回路 402 の出力信号がデータ読出完了後ハイレベルとなり、OR 回路 406 からのシフトクロック S F K がハイレベルとされる。したがって、画像データが読出される

ごとに、シフトレジスタ回路 S R i ( 350 a ) においてシフト動作が行なわれ、次のデータ読出に備える。

【0134】以上のように、この発明の第 5 の実施の形態に従えば、1 走査線の画像データを格納するシフトレジスタを D T B R のスレーブラッチ部分に並列に設けたため、1 走査線の画像データを水平および垂直帰線期間中に D R A M アレイからシフトレジスタへ転送することができ、画像表示装置の表示画面への表示時において、連続的に画像データを出力することができ、画像データ表示動作におけるウェイトサイクルをなくすことができ、描画動作時における外部処理装置 ( グラフィックエンジン ) の負荷を軽減することができる ( ウェイトサイクルが生じた場合、そのウェイトサイクルを補償するために、データ処理を高速化する必要があり、ウェイトサイクルをなくすことにより、このような高速処理が不要とされる : 画像表示装置の 1 走査線の表示期間は予め定められているためである ) 。

【0135】[ 実施の形態 6 ] 図 19 は、この発明の第 6 の実施の形態である半導体記憶装置の要部の構成を概念的に示す図である。この図 19 に示す構成においては、D R A M アレイ 10 へデータを転送する転送バッファ ( D T B W ) 316 において、画像データを格納するためのマスタラッチに代えて、1 走査線の画素のデータを格納するシフトレジスタ 360 が設けられる。他の構成は、図 14 に示す構成と同じであり、対応する部分には同一の参照番号を付し、その詳細説明は省略する。

【0136】この図 19 に示す構成においては、たとえば外部からテレビカメラなどの画像データがラスト走査順序で順次与えられる場合、この画像データをシフトレジスタ 360 へ順次格納し、次いで水平走査帰線期間および垂直走査帰線期間にそのシフトレジスタ 360 に格納された画像データがスレーブラッチ 326 を介して D R A M アレイ 10 の対応の画像データ領域へ転送される。このシフトレジスタ 360 を設けることにより、たとえばテレビカメラからの画像データが順次伝達される場合、この転送画像データの D R A M アレイへの転送時に、外部からの画像データの書込を退避させる必要はなく、このようなデータ書込の待機のためのバッファメモリを外部に設ける必要がなく、システム構成が小規模となる。

【0137】図 20 は、図 19 に示す半導体記憶装置の 1 ビットのデータの転送および入出力を行なう部分の構成を示す図である。この図 20 に示す構成は、データ転送バッファ D T B W 314 a において、マスタラッチ回路に代えて、シフトレジスタ回路 360 a が用いられる点を除いて図 17 に示す構成と同じである。対応の構成要素に対しては、この図 17 に示す構成要素と同一の参照番号を付し、その詳細説明は省略する。

【0138】シフトレジスタ回路 360 a は、シフトクロック S F K W に従ってデータの格納およびシフト動作

を行なう。シフトレジスタ回路 3 6 0 a は、シフトレジスタ回路 3 5 0 a と同様、複数段の D フリップフロップ ( D - F F ) で構成される。この図 2 0 に示す構成に対する制御信号を発生する構成は、図 1 3 に示す構成を利用することができる。シフトクロック S F K を発生する構成は図 1 8 に示す構成を利用することができる。

【 0 1 3 9 】図 2 1 は、シフトクロック S F K W を発生する部分の構成を示す図である。図 2 1 において、シフトクロック発生部は、選択信号 B Y W と選択制御信号 G B S W を受ける A N D 回路 4 1 0 と、転送制御信号 D W T E の立下がりに対応してワンショットのパルス信号を発生するパルス発生回路 4 1 2 と、パルス発生回路 4 1 2 の出力信号と選択制御信号 G B W T を受ける A N D 回路 4 1 4 と、A N D 回路 4 1 0 および 4 1 4 の出力信号を受ける O R 回路 4 1 6 を含む。O R 回路 4 1 6 からシフトクロック S F K W が出力される。

【 0 1 4 0 】選択制御信号 G B S W は、ハイレベルのときには、セクタ 2 5 0 に、デコーダ 5 2 からの書込データをシフトレジスタ回路 3 6 0 a へ伝達させる。したがって、この場合には外部から与えられた画像データを書込むシフトレジスタ回路において、A N D 回路 4 1 0 の出力信号がハイレベルとなり、応じて O R 回路 4 1 6 からのシフトクロック S F K W がハイレベルとなり、このセクタ 2 5 0 から与えられた書込画像データがシフトレジスタ回路 3 6 0 a に格納される。データ転送時において制御信号 G P W T がハイレベルとされると、セクタ 3 3 2 は、シフトレジスタ回路 3 6 0 a の出力信号を選択する。最初のサイクルにおいては、シフトレジスタ回路 3 6 0 a の最終段の格納データがセクタ 3 3 2 を介してスレーブラッチ回路 3 2 6 a へ伝達される。このデータ転送動作が完了すると、転送制御信号 D W T E がローレベルとなり、パルス発生回路 4 1 2 の出力信号が所定期間ハイレベルとされる。したがってこのデータをスレーブラッチ回路 3 2 6 a へ転送した後、A N D 回路 4 1 4 の出力信号がハイレベルとなり、応じて O R 回路 4 1 6 からのシフトクロック S F K W がハイレベルとされる。これにより、シフトレジスタ回路 3 6 0 a において、D R A M アレイへのデータ転送後、そのラッチした画像データが 1 段のフリップフロップだけシフトされる。データ転送動作時においては、転送制御信号 D W T E が所定回数繰り返し活性状態とされる。したがって、データ転送時において、シフトクロック S F K W を必要な回数活性状態とすることができる。

【 0 1 4 1 】なお、シフトレジスタ 3 6 0 に含まれるシフトレジスタの段の数は、シフトレジスタ回路 3 5 0 と同様、書込画像データの構成に応じて適当に決定される。

【 0 1 4 2 】以上のように、この発明の第 6 の実施の形態の構成に従えば、D R A M アレイへデータを転送する転送バッファにおいても、1 走査線の書込データを格

納するシフトレジスタを配置したため、外部から連続的に画像データがラスタ走査順序に従って与えられる場合においても、このシフトレジスタから D R A M アレイへのデータ転送を水平および垂直帰線期間に行なうことにより、外部装置は、何らウェイトサイクルを生じることなく高速画像データをこの半導体記憶装置へ書込むことができる。

【 0 1 4 3 】【他の適用例】なお、上述の実施の形態においては、グラフィックエンジンが画像データの加工および表示の処理を行っており、C P U はプログラムデータのみを処理しているように説明している。しかしながら、外部の処理装置は、画像表示装置へのデータ転送のみを実行し、C P U がプログラムデータおよびこの画像データを加工する構成が用いられてもよい。この場合、プログラムデータは、C P U が処理するデータと定義される。

【 0 1 4 4 】さらに、上記各実施の形態においては、D R A M アレイと S R A M アレイとがこの半導体記憶装置において設けられている。しかしながら、この半導体記憶装置は、高速動作する D R A M と、比較的低速のたとえばフラッシュメモリのような不揮発性メモリが同一チップ上に集積化される構成であってもよい。同様、S R A M とフラッシュメモリが同一チップ上に集積化される構成であってもよい。

【 0 1 4 5 】さらにこのデータ処理システムにおいて処理されるデータは画像データでなく、たとえば音声データのような別のデータであってもよく、特定の処理に用いられるデータであればよい。

【 0 1 4 6 】

【発明の効果】以上のように、この発明に従えば、高速アクセス可能なメモリと大記憶容量のメモリとを備える半導体記憶装置において、特定の処理に用いられるデータを格納するバッファを設けたため、特定の処理に用いられるデータに対し最適な大きさのキャッシュを実現することができるとともに、C P U キャッシュミス時においても、何ら特定用途に用いられるデータの破壊を伴うことなく 2 つのアレイ間でデータ転送を行なうことができ、C P U ウェイトサイクル数を低減することができ、高速でデータ処理を行なうことのできる高性能のマルチメディアシステム向けの半導体記憶装置を実現することができる。

【 0 1 4 7 】すなわち、請求項 1 に係る発明に従えば、第 1 のメモリアレイと第 2 のメモリアレイと、これら第 1 および第 2 のメモリアレイの間のデータ転送を行なうための、データを格納する手段を含むデータ転送手段とを有する半導体記憶装置において、第 1 のメモリアレイとデータの転送を行なう、特定の処理に用いられるデータを記憶する記憶手段を設け、データ転送手段、第 2 のメモリアレイおよび記憶手段を入出力回路に選択的に結合するように構成したため、特定の処理に用いられるデ

ータについて最適なサイズでキャッシュを実現することができ、また外部処理装置の要求するデータが第2のメモリに存在しない場合においても、第1および第2のメモリアレイの間でこの特定の処理に用いられるデータの破壊を伴うことなく転送を行なうことができ、外部処理装置の待ち時間を低減することができ、高性能の処理システムを実現することができる。

【0148】請求項2に係る発明に従えば、この記憶手段を、第1のメモリアレイからデータ転送手段を介して与えられるデータを記憶し、かつその記憶データを入出力回路を介して装置外部へ出力する読出データ記憶手段で構成したため、外部処理装置の要求するデータを第2のメモリアレイにキャッシュし、特定の処理に用いられるデータをこの記憶手段にキャッシュすることにより、外部処理装置が要求するデータのヒット率を高くすることができ、また特定の処理に用いられるデータを高速で読出すことができる。

【0149】請求項3に係る発明に従えば、記憶手段を入出力回路を介して装置外部から与えられるデータを格納し、かつ該格納データをデータ転送手段を介して第1のメモリアレイへ伝達する書込データ記憶手段で構成したため、外部から与えられる特定の処理に用いられるデータを高速で格納することができ、また外部処理装置が要求するデータが第2のメモリアレイに存在しない場合においても、書込データ記憶手段に格納されたデータの破壊を伴うことなくデータ転送を行なうことができる。

【0150】請求項4に係る発明に従えば、データ転送手段と並列に、入出力回路から与えられたデータを格納しかつ該格納データを第1のメモリアレイへ転送する記憶／転送手段で記憶手段を構成したため、データ転送手段と別の経路を介して第2のメモリアレイとSRAMアレ

イのデータ転送をこのデータ記憶手段からアクセス時に行なうことが可能となる。

【0151】請求項5に係る発明に従えば、記憶手段を、データ転送手段と並列に第1のメモリアレイに結合されかつこの第1のメモリアレイからのデータを受けて格納しかつ該格納データを入出力回路を介して装置外部へ出力する記憶／転送手段で構成したため、高速で特定の処理に用いられるデータを装置外部へ出力することができるとともに、この記憶手段へのアクセス時に、第1のメモリアレイと第2のメモリアレイとの間でデータ転送を行なうことができる。

【0152】請求項6に係る発明に従えば、記憶手段を、マスタラッチとスレーブラッチで構成されるデータ転送手段のスレーブラッチと並列にマスタラッチ手段からのデータを受けて入出力回路へ選択的に伝達する手段で構成したため、このデータ転送手段のマスタラッチを外部処理装置が要求するデータおよび特定の処理に用いられるデータの転送のために利用されるマスタラッチを共有することができ、この回路占有面積を低減すること

ができる。

【0153】請求項7に係る発明に従えば、記憶手段を、スレーブラッチとスターラッチとで構成されるデータ転送手段のマスタラッチと並列に入出力回路からのデータを格納し、該格納データをスレーブラッチ手段を介して第1のメモリアレイへ転送する手段で構成したため、特定の処理に用いられるデータと外部処理装置が要求するデータとの転送のための回路部分を共通化することができ、回路占有面積を低減することができる。

【0154】請求項8に係る発明に従えば値データ転送手段が複数ビットのデータを第1および第2のメモリアレイの間で同時に転送し、かつ記憶手段がデータ転送手段と同じ記憶容量を備えるため、最適な特定処理が用いられるデータのキャッシュを実現することができる。

【0155】請求項9に係る発明に従えば、この記憶手段は、特定の処理に用いられる画像データの表示画面上の1走査線上の画素データを格納する記憶容量を備えており、この画像データの水平および垂直帰線期間中に第1のメモリアレイと記憶手段との間で転送することにより外部の画像処理装置は、何らウェイトサイクルが生じることなく連続的にデータを処理することができる。

【図面の簡単な説明】

【図1】 この発明の第1の実施の形態である半導体記憶装置の要部の構成を概念的に示すブロック図である。

【図2】 図1に示す半導体記憶装置の動作を示すタイミングチャート図である。

【図3】 図1に示す半導体記憶装置の1ビットのデータの入出力および転送に関連する部分の構成を示す図である。

【図4】 図3に示す制御信号を発生する部分の構成を示す図である。

【図5】 この発明の第2の実施の形態である半導体記憶装置の要部の構成を概念的に示すブロック図である。

【図6】 図5に示す半導体記憶装置の1ビットのデータの入出力および転送に関連する部分の構成を示す図である。

【図7】 図6に示す制御信号を発生する部分の構成を示す図である。

【図8】 この発明の第3の実施の形態である半導体記憶装置の要部の構成を概念的に示す図である。

【図9】 図8に示す半導体記憶装置の1ビットのデータ入出力に関連する部分の構成を示す図である。

【図10】 図9に示す制御信号を発生する部分の構成を示す図である。

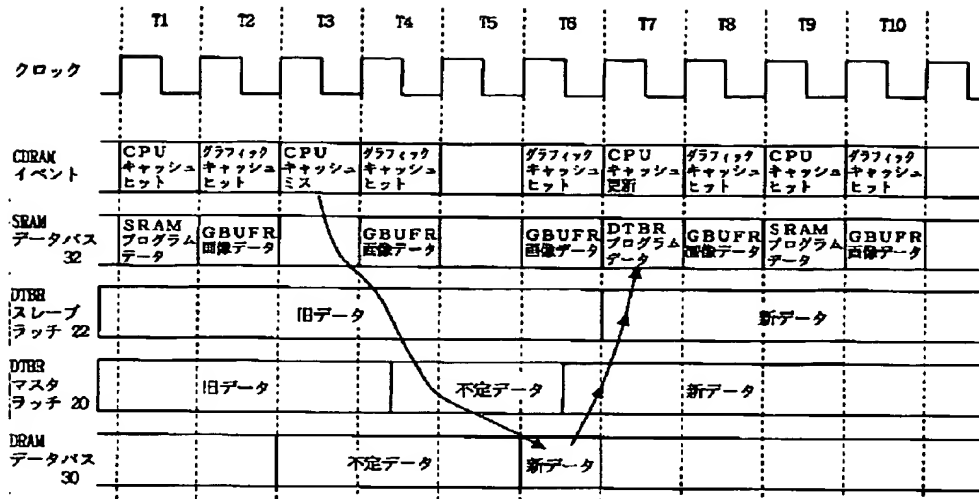
【図11】 この発明の第4の実施の形態である半導体記憶装置の要部の構成を概念的に示す図である。

【図12】 図11に示す半導体記憶装置の1ビットのデータ入出力に関連する部分の構成を示す図である。

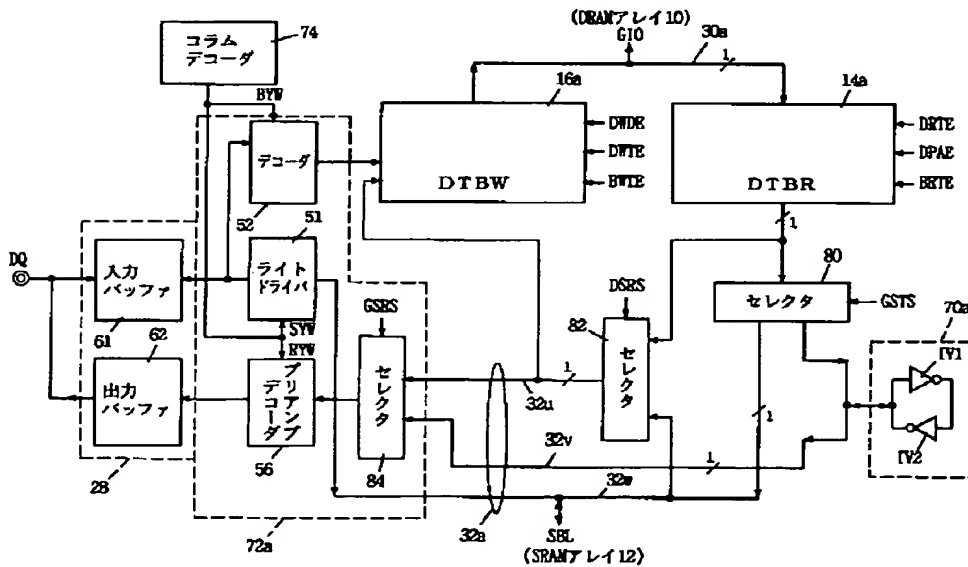
【図13】 図12に示す制御信号を発生する部分の構成を示す図である。



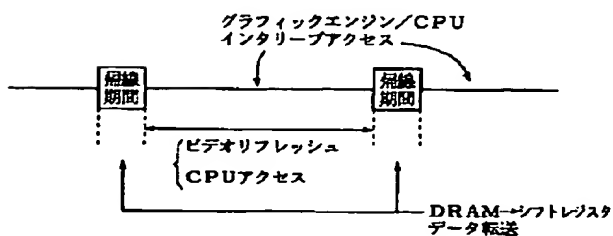
【 図 2 】



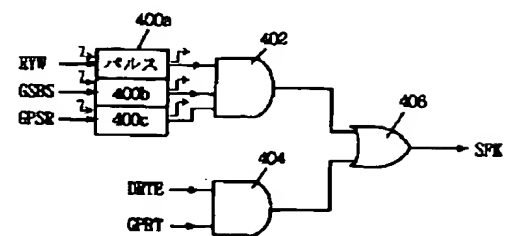
【 図 3 】



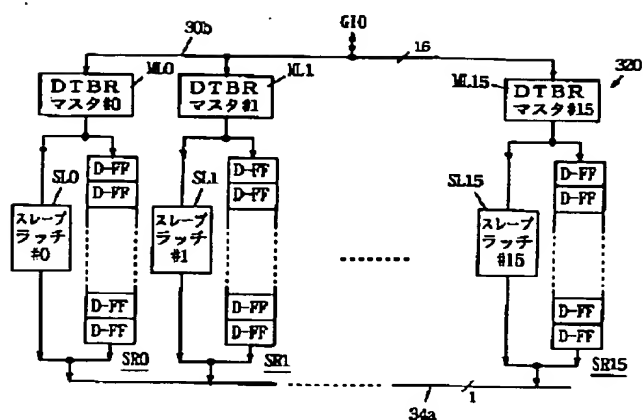
【 図 15 】



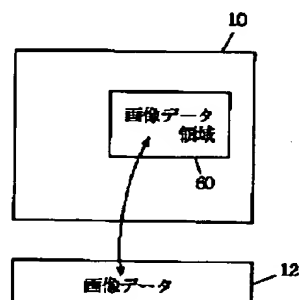
【 図 18 】



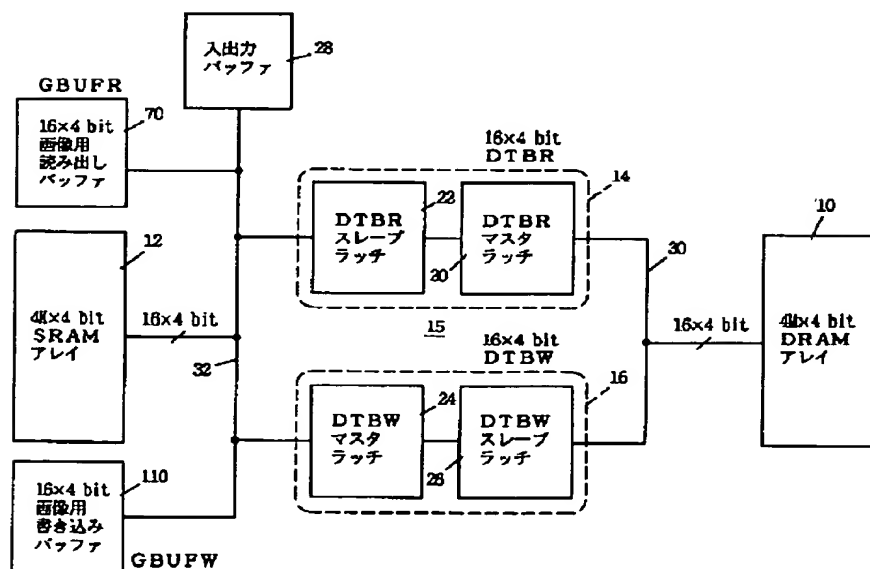
【图 16】



【图 2 7】



【図 5】



【 24 】





[illegible]

【图 10】

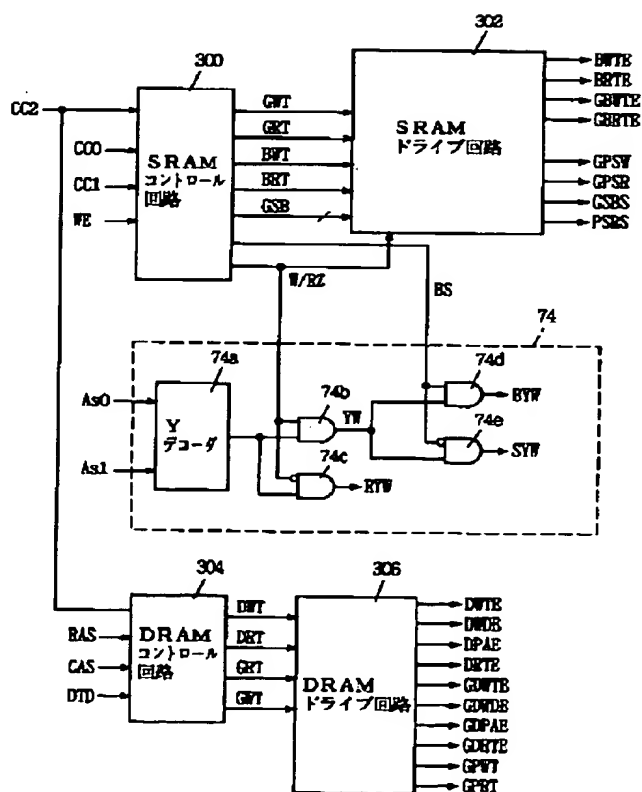
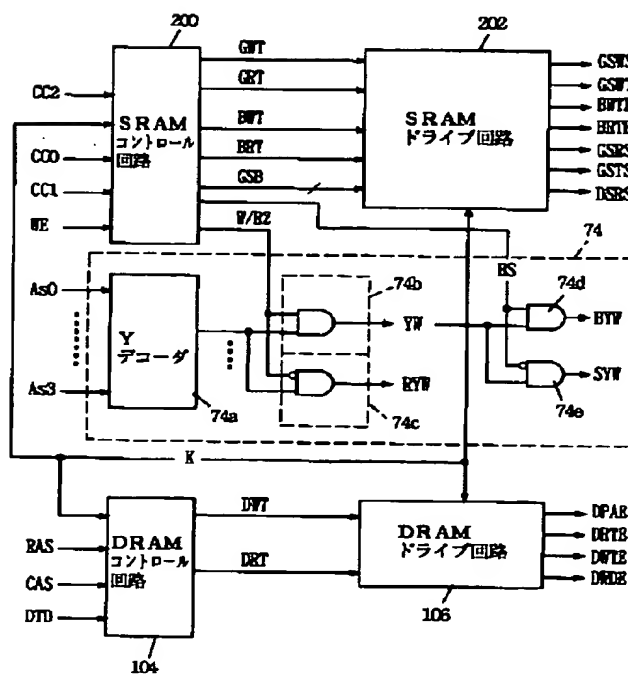
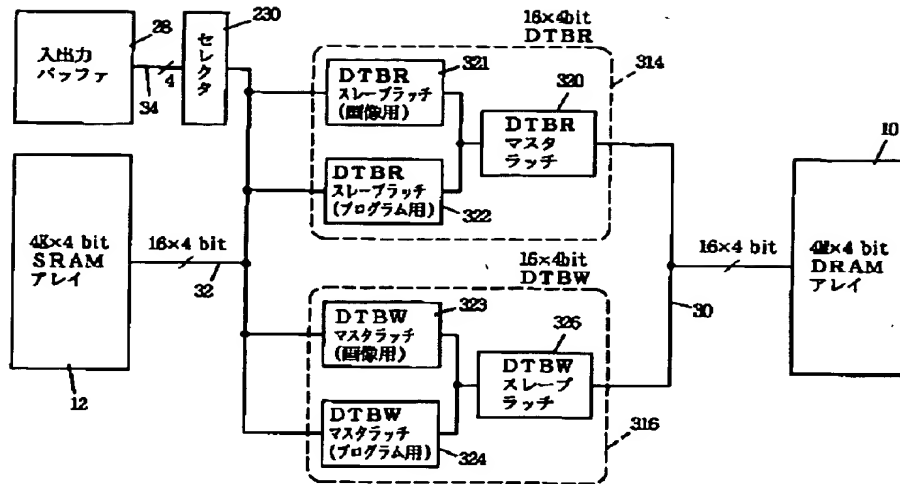


Figure 1 is a block diagram of a video data processing system. The system includes an input/output buffer (12) connected to DQ0 and DQ3, a 4Kx4 bit SRAM array (14), a 4Kx4 bit DRAM array (16), and a central processing unit (18) with four parallel data paths. Each path contains a DTBR (Data Transfer Buffer) or DTBW (Data Transfer Buffer Write) latch. The paths are labeled: 22 (DTBR スレープ ラッチ), 24 (DTBR マスタ ラッチ), 26 (DTBW マスタ ラッチ), and 28 (DTBW スレープ ラッチ). Data is transferred between the SRAM and DRAM arrays via a 16x4 bit bus (20).

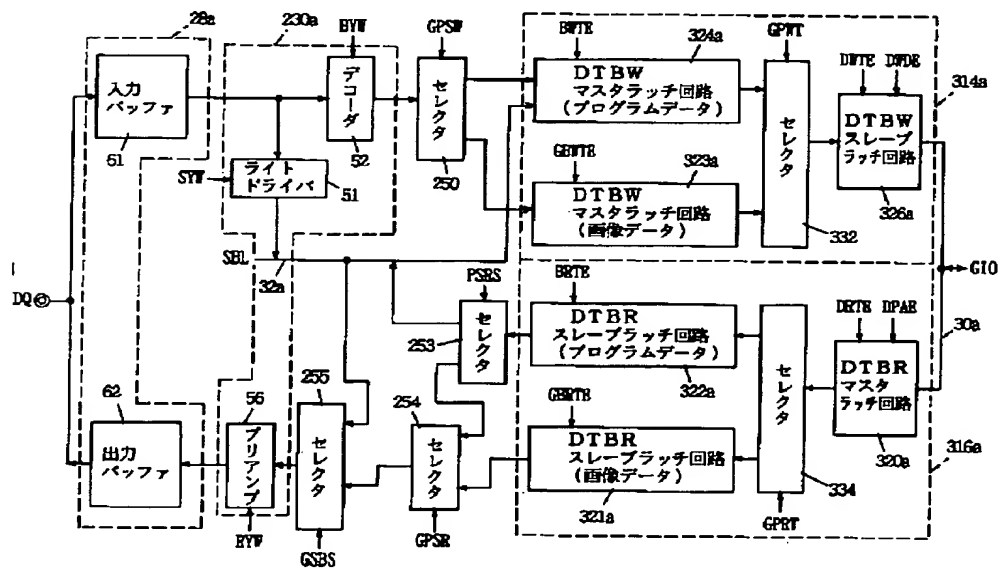
[illegible]

The diagram shows a central horizontal bus line labeled 6. Five components are connected to this bus: component 1 is connected at the left end; components 3 and 4 are connected below the bus; component 2 is connected above the bus; and component 5 is connected at the right end. All components have multiple pins or contacts facing the bus.

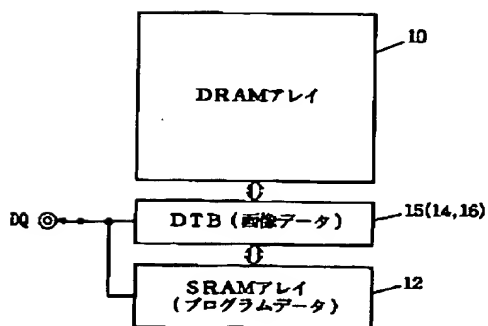
【 図 1 1 】



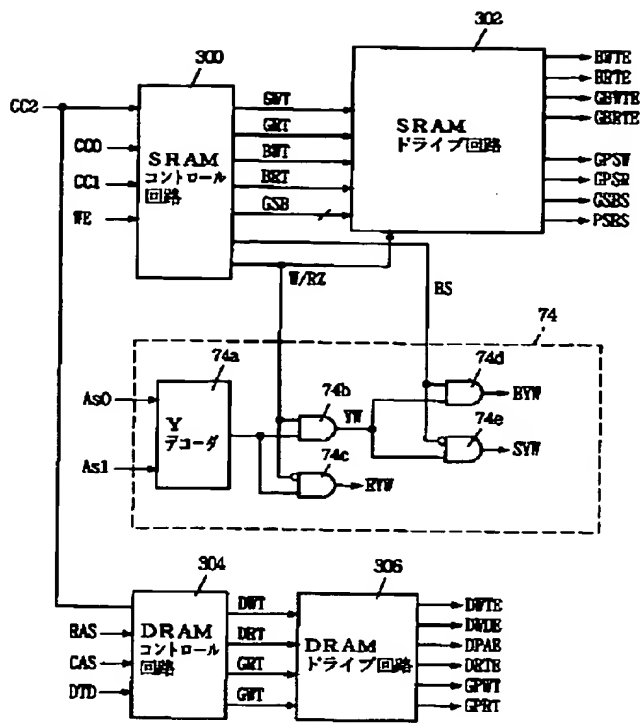
【 図 1 2 】



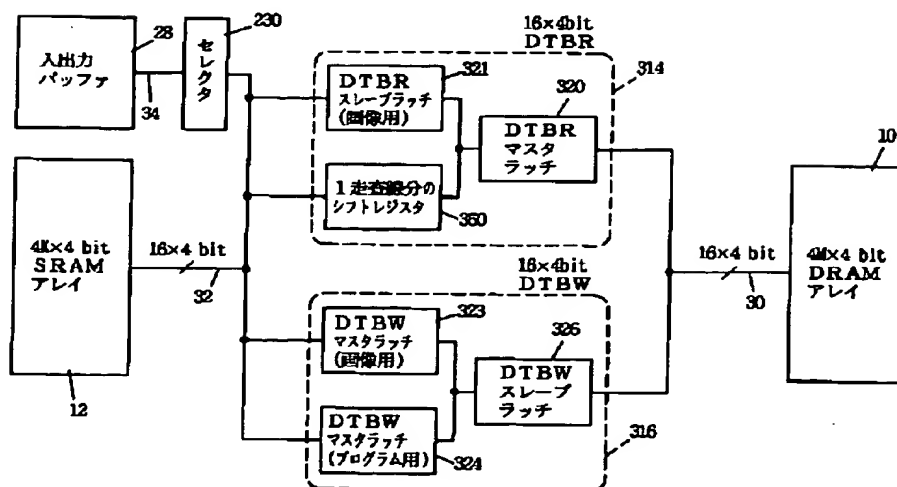
【 図 2 8 】



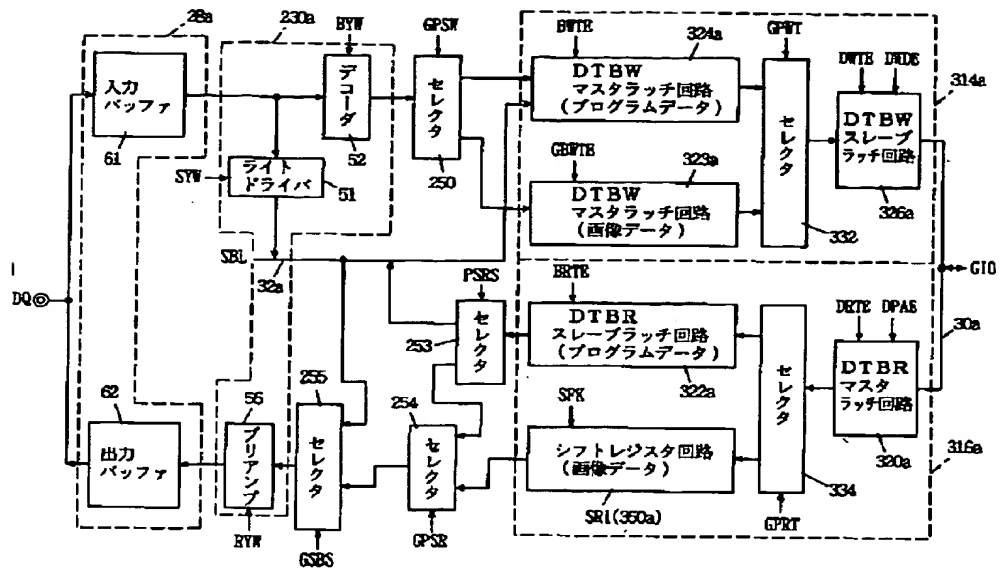
【図 1 3】



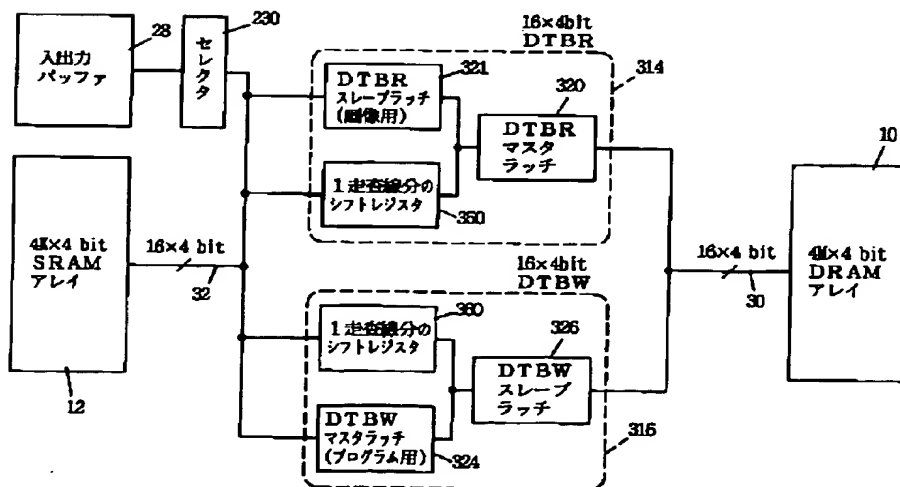
【図 1 4】



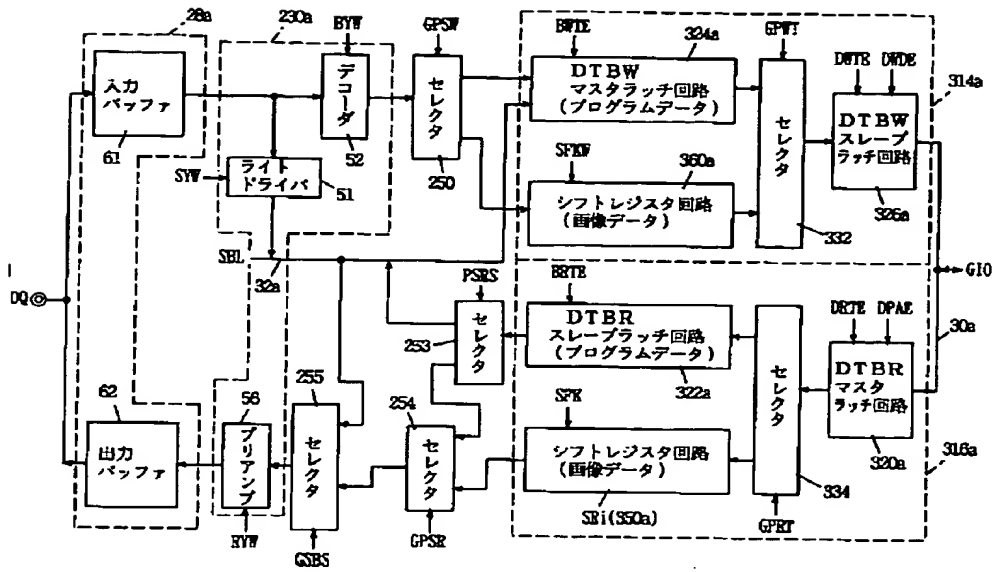
【図 17】



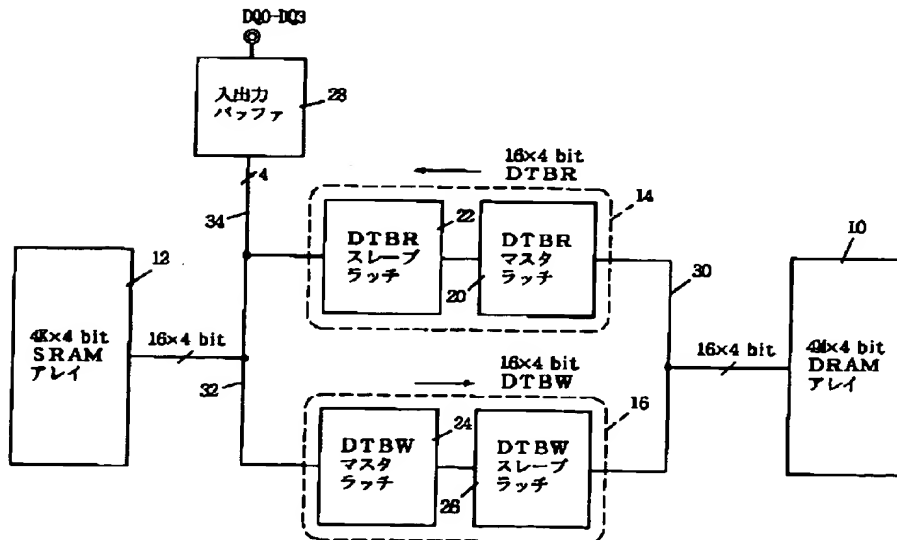
【図 19】



【図 20】



【図 25】



【図 26】

